

Система управления резонансным преобразователем постоянного напряжения

на серийной микросхеме

Геннадий Белов,
д. т. н., профессор

Константин Петров

marcus56@mail.ru

Работа резонансного преобразователя постоянного напряжения (ППН) в режиме прерывистого тока (РПТ) обеспечивает включение и выключение силовых транзисторов инвертора и диодов выходного выпрямителя при переходе тока через нуль. Благодаря этому существенно снижаются потери при включении и выключении транзисторов и диодов, ППН имеет высокий КПД при сравнительно больших частотах переключений, что способствует уменьшению массы и габаритов трансформатора и сглаживающего выходного фильтра.

Резонансные ППН с простым последовательным LC-контуром могут работать в режимах с однополярными импульсами тока в контуре и с двухполярными импульсами тока. При изменении тока нагрузки ППН возможны переходы из одного режима в другой, причем в первом режиме получаются

пологие внешние характеристики, наклон которых возрастает с уменьшением частоты, а во втором режиме — круто падающие внешние характеристики (режим, близкий к режиму источника тока). Наклон внешних характеристик на пологих участках растет с уменьшением добротности LC-контура [1, 2].

Регулирование выходного напряжения резонансных ППН осуществляется изменением частоты переключений f , что приводит к существенным особенностям по сравнению с ШИМ-регулированием при реализации систем управления ими. Сложным является формирование отпирающих импульсов необходимой длительности для силовых транзисторов ППН. Поскольку эта длительность заранее неизвестна, представляют интерес схемы управления, в которых момент окончания отпирающих импульсов определяется моментом перехода тока

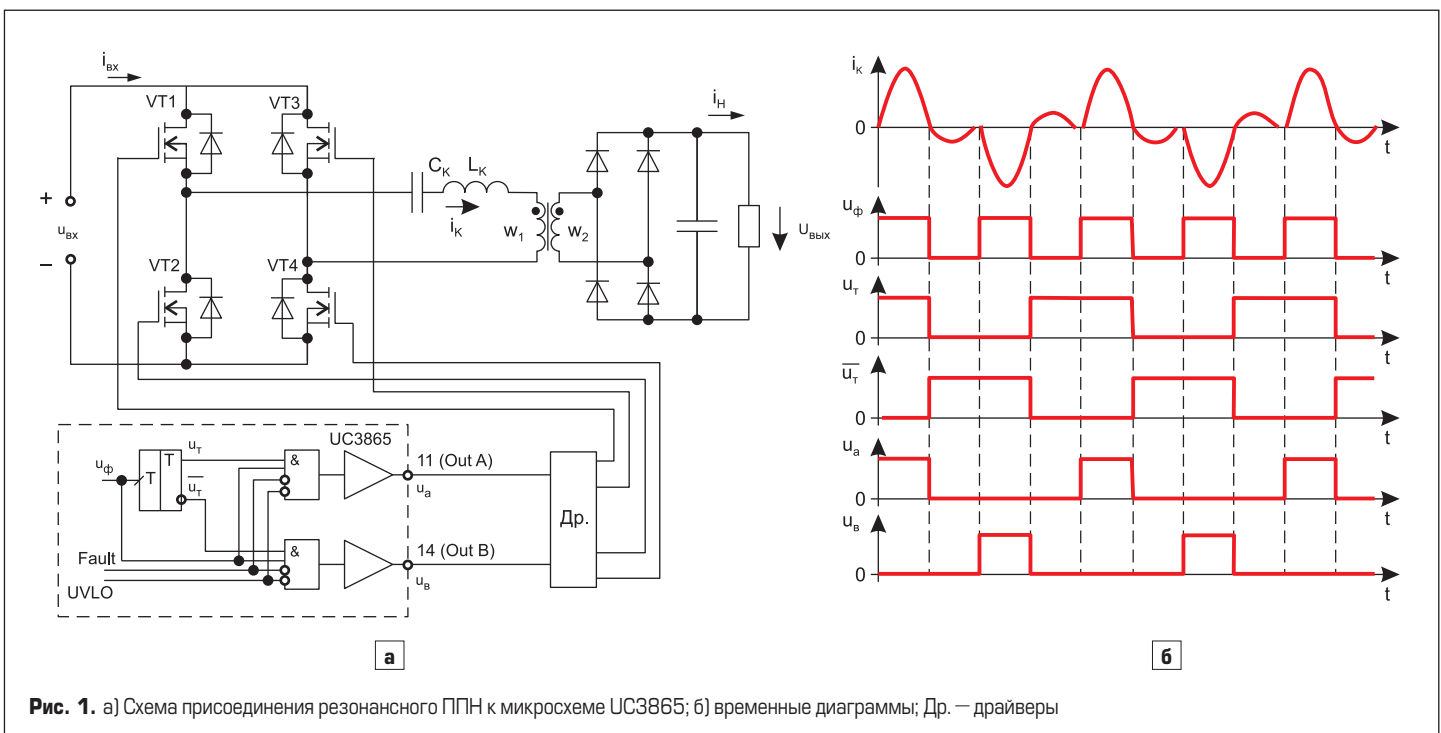


Рис. 1. а) Схема присоединения резонансного ППН к микросхеме UC3865; б) временные диаграммы; Др. — драйверы

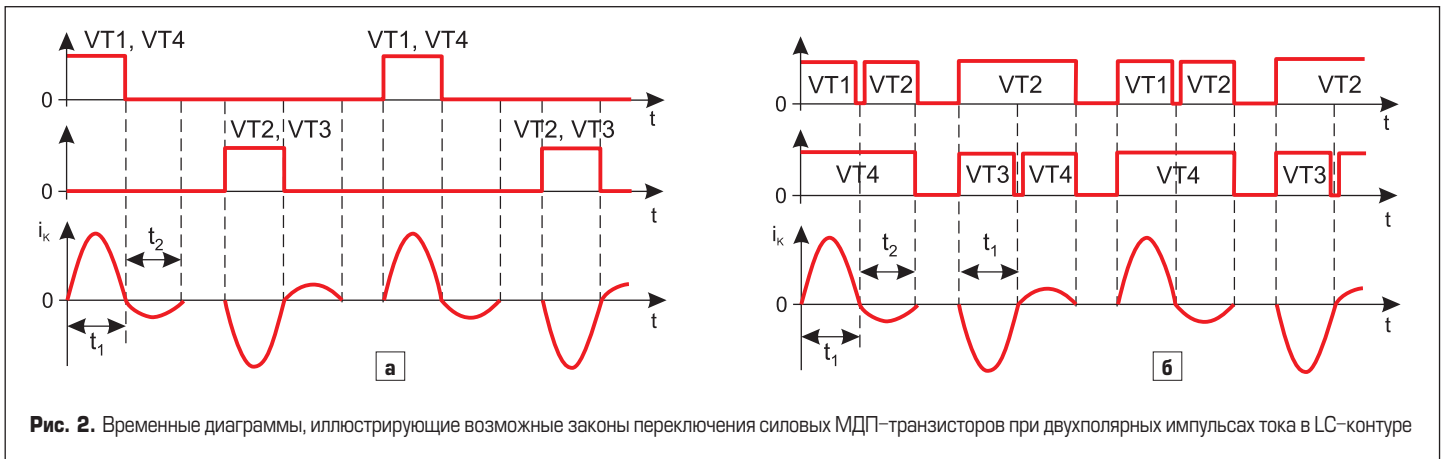


Рис. 2. Временные диаграммы, иллюстрирующие возможные законы переключения силовых МДП-транзисторов при двухполярных импульсах тока в LC-контуре

транзистора через нуль с положительного значения на отрицательное. Одна из таких систем управления резонансными ППН может быть построена на базе микросхемы UC3865 [3, 4]. Рассмотреть систему с этой микросхемой целесообразно и из методических соображений, поскольку в [4] функционирование микросхемы, в отличие от более поздних разработок, описано достаточно подробно.

На рис. 1а показана часть микросхемы UC3865, генерирующая на выходных выводах 11 (Out A) и 14 (Out B) последовательности импульсов u_A и u_B необходимой длительности, подаваемых затем на драйверы (Др.), формирующие импульсы для отпираания силовых транзисторов VT1–VT4 инверторного моста. Высокие уровни напряжений на входах Fault и UVLO логических элементов И, показывающие наличие неисправности в системе или чрезмерное снижение напряжения V_{CC} запрещают прохождение сигналов с выходов счетного триггера на драйверы (Др.). Соответствующим построением драйверов (Др.) можно реализовать два режима работы ППН с двухполярными импульсами тока i_k в LC-контуре [1, 2]. В первом режиме на одном полупериоде работы ППН одновременно открываются транзисторы VT1, VT4, на втором полупериоде — транзисторы VT2, VT3 (рис. 2а). Второй режим иллюстрируется кривыми на рис. 2б.

На рис. 2а видно, что при симметричном алгоритме переключений силовых МДП-транзисторов в схеме управления достаточно контролировать моменты перехода импульсов входного тока $i_{вх}$ через нуль с положительного значения на отрицательное и формировать в драйвере отпирающий импульс, длительность которого равна t_1 (рис. 2а). Тогда транзистор, а также диоды выходного выпрямителя будут выключаться при нулевом значении тока. После выключения транзистора отпирается обратный диод, присоединенный встречно-параллельно выключаемому транзистору [1].

В режиме переключений транзисторов, представленном на рис. 2б, на интервале t_1 , как и в предыдущем случае, открывается пара транзисторов VT1, VT4. Однако в момент времени t_1 выключается только один из транзисторов — VT1, а транзистор VT4 остается открытым и в течение интервала t_2 . Кроме того, в момент t_1 включается транзистор VT2 и остается включенным на интервале t_2 . Ток LC-контра,

изменив направление, на интервале t_2 замыкается, минуя источник входного напряжения $u_{вх}$, по цепи «транзистор VT2 — транзистор VT4 (или его обратный диод) — первичная обмотка w_1 трансформатора — LC-цепь». Поскольку в момент t_1 ранее открытая пара диодов выходного выпрямителя закрывается, но открывается другая пара диодов, продолжается передача энергии из LC-контра в нагрузку ППН (как и в предыдущем режиме). Но, поскольку теперь на интервале t_2 входной ток ППН $i_{вх} = 0$, в отличие от предыдущего режима не происходит возврата части энергии из LC-контра в источник входного напряжения. Этот возврат — в общем-то бесполезный, поскольку назначением ППН является передача энергии

в нагрузку, — связан с дополнительными потерями мощности в обратных диодах, что приводит к снижению КПД. В рассматриваемом режиме ток LC-контра замыкается в прямом направлении через транзистор VT2 и в обратном направлении через транзисторы VT4, а падение напряжения на включенных МДП-транзисторах существенно меньше прямого падения напряжения на диоде (правда, вызывает сомнение то, что характеристики современных мощных МДП-транзисторов резко несимметричны, и условия протекания обратного тока через них в паспортных данных не оговариваются. Весьма вероятно, что обратный ток будет замыкаться не через транзистор, а через обратный диод).

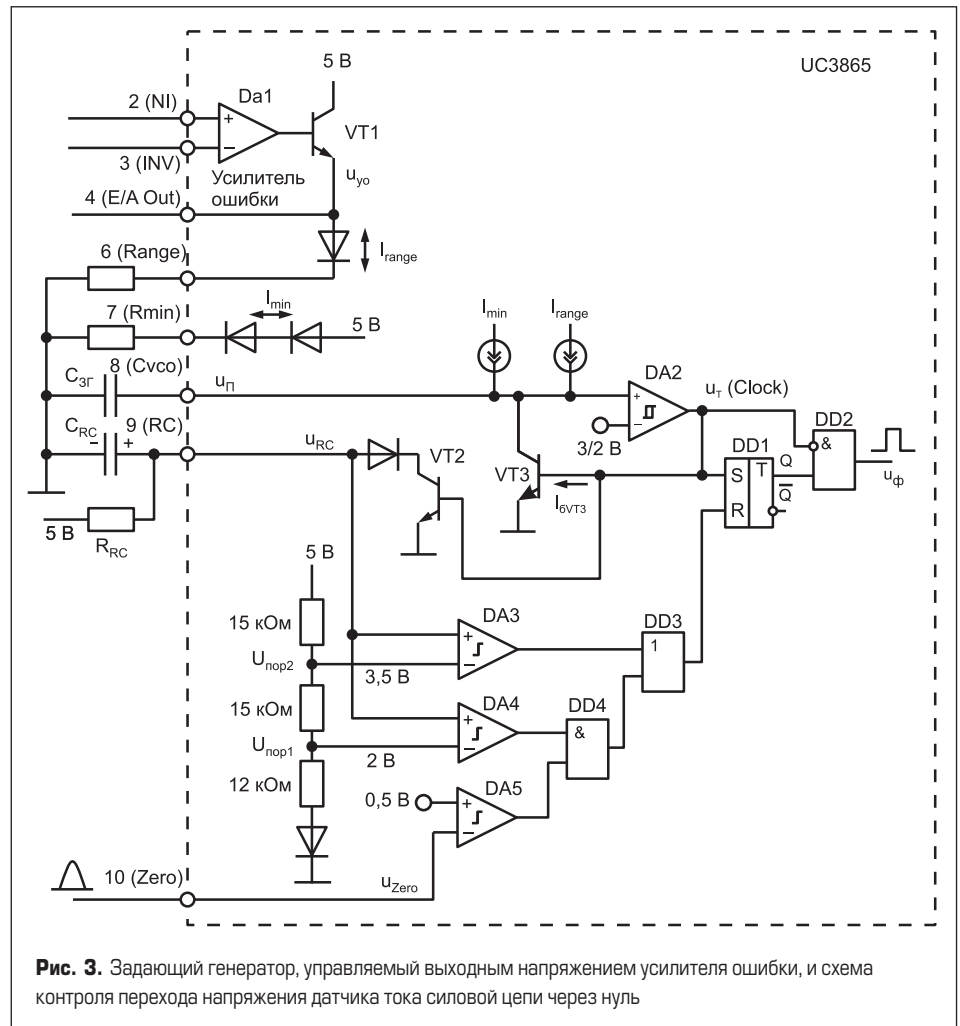


Рис. 3. Задающий генератор, управляемый выходным напряжением усилителя ошибки, и схема контроля перехода напряжения датчика тока силовой цепи через нуль

Таким образом, во втором режиме (рис. 26) необходимо контролировать переход через нуль в момент t_1 тока транзистора VT1 и переход через нуль в момент $t = t_1 + t_2$ тока транзистора VT2 (в этот же момент должен заканчиваться отпирающий импульс транзистора VT4). В следующий полупериод также нужно контролировать переходы через нуль токов транзисторов VT3, VT4.

На рис. 3 представлена часть микросхемы UC3865, включающая задающий генератор, управляемый выходным напряжением усилителя ошибки, и цепи контроля перехода напряжения, поступающего на вывод 10 (Zero) с датчика тока в силовой цепи, через нуль. На рис. 4 приведены временные диаграммы, иллюстрирующие функционирование этой части микросхемы.

Задающий генератор (ЗГ) микросхемы UC3865 предназначен для работы в диапазоне частот от (50 ± 5) до (500 ± 50) кГц. Усилитель ошибки (УО), предназначенный для работы в замкнутой системе стабилизации выходного напряжения ППН, состоит из операционного усилителя DA1 и подключенного к его выходу эмиттерного повторителя на транзисторе VT1. Коэффициент усиления дифференциального сигнала УО на низких частотах находится в пределах 70–100 дБ; коэффициент подавления синфазного сигнала составляет 65–100 дБ; частота единичного усиления — в пределах 0,5–0,8 МГц; выходное напряжение УО может меняться в пределах 0,17–4,2 В, максимальный выходной ток ± 2 мА. Нагрузкой УО служит входная цепь токового зеркала (отражателя тока), в которой создается ток:

$$I_{range} = \frac{u_{yo} - U_{д. пр.}}{R_{range}}, \quad (1)$$

где u_{yo} — выходное напряжение УО; $U_{д. пр.}$ — прямое падение напряжения на диоде, включенном последовательно с резистором R_{range} , который присоединен к выводу 6 (Range). В выходной цепи токового зеркала создается такой же ток I_{range} , который на рис. 3 показан в виде источника тока I_{range} . Точно так же входной ток другого токового зеркала задается в резисторе R_{min} , присоединенном извне к выводу 7 (R_{min}):

$$I_{min} = \frac{U_{всп} - 2U_{д. пр.}}{R_{min}}, \quad (2)$$

где $U_{всп} = 5$ В — напряжение вспомогательного источника, имеющегося внутри микросхемы. Выходной ток этого токового зеркала также условно показан в виде источника тока I_{min} , присоединенного к выводу 8 (C_{VCO}),

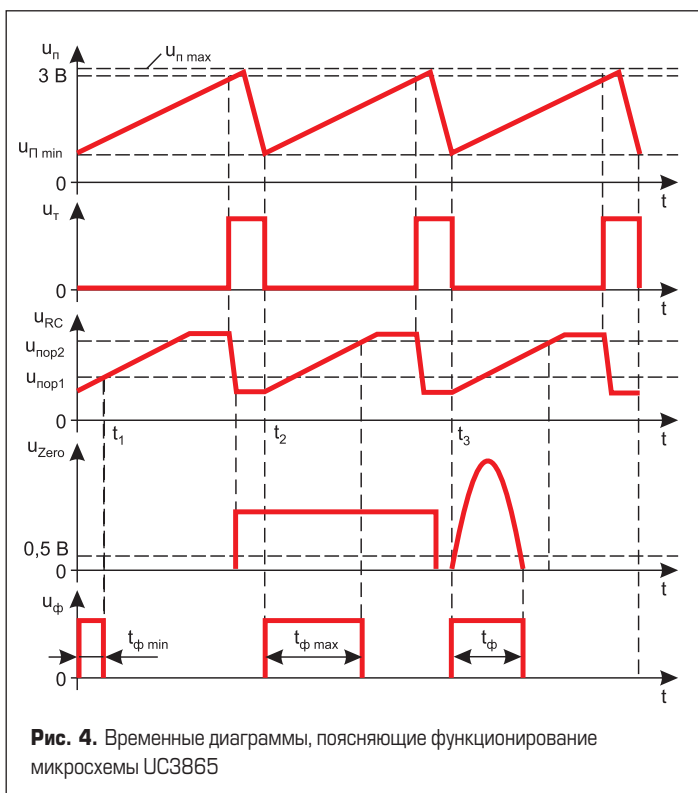


Рис. 4. Временные диаграммы, поясняющие функционирование микросхемы UC3865

к которому относительно «земли» присоединен времязадающий конденсатор $C_{3Г}$.

Задающий генератор вырабатывает пилообразное напряжение $u_n(t)$ на выводе 8 (C_{VCO}) и тактовые импульсы u_t для синхронизации работы узлов микросхемы. Линейно изменяющийся участок (прямой ход пилообразного напряжения) (рис. 4) формируется при закрытом транзисторе VT3, управляемом выходным напряжением u_t компаратора DA2. На этом участке конденсатор $C_{3Г}$ заряжается током $I_{min} + I_{range}$ и напряжение u_n изменяется по закону:

$$u_n = u_{n min} + \frac{1}{C_{3Г}}(I_{min} + I_{range})t. \quad (3)$$

Когда пилообразное напряжение u_n достигает верхнего порогового входного напряжения компаратора DA2, равного 3 В, компаратор срабатывает, на его выходе появляется логический уровень 1, начинается тактовый импульс u_t с амплитудой 3,6 В, который отпирает транзисторы VT3, VT2 и запрещает прохождение через логический элемент (ЛЭ) DD2 уровня 1 с выхода триггера DD1. Конденсатор $C_{3Г}$ разряжается через транзистор VT3, для быстрого разряда конденсатора ток через открытый транзистор I_{VT3} должен быть намного больше $I_{min} + I_{range}$. При разряде конденсатора к транзистору VT3 прикладывается полное напряжение, действующее на конденсаторе, следовательно, открытый транзистор VT3 остается в активном режиме и в его базе должен создаваться ток $I_{6VT3} = I_{VT3}/h_{21б}$, где $h_{21б}$ — коэффициент передачи тока базы транзистора VT3.

Когда конденсатор $C_{3Г}$ разрядится до нижнего порогового напряжения компаратора DA2, равного 2 В, компаратор перебрасывается в состояние 0, транзисторы VT3, VT2 запираются, снова наступает прямой ход пилообразного напряжения $u_n(t)$, разрешается прохождение через ЛЭ DD2 уровня 1 с выхода триггера DD1, начинается формирование одиночного импульса u_ϕ с длительностью, необходимой для управления силовыми транзисторами ППН.

Подставляя в выражение (1) $t = t_{np}$, $u_n = u_{n max}$ найдем время прямого хода пилообразного напряжения:

$$t_{np} = \frac{C_{3Г} \Delta U_n}{I_{min} + I_{range}},$$

где $\Delta U_n = u_{n max} - u_{n min} = 1$ В.

С учетом выражений (1), (2) найдем:

$$t_{np} = \frac{C_{3Г} \Delta U_n}{(U_{всп} - 2U_{д. пр.}) / R_{min} + (u_{yo} - U_{д. пр.}) / R_{range}}, \quad (4)$$

откуда при $\Delta U_n = 1$ В, $U_{всп} = 5$ В, $U_{д. пр.} = 0,8$ В получим:

$$t_{np} = \frac{C_{3Г}}{3,4 / R_{min} + (u_{yo} - 0,8) / R_{range}}.$$

При $u_{yo} = u_{yo max} = 4,2$ В найдем:

$$t_{np min} = \frac{(R_{min} \parallel R_{range}) C_{3Г}}{3,4}, \quad (5)$$

а при $u_{yo} = u_{yo min} = 0,17$ В получим максимальное время прямого хода $t_{np max}$

Время обратного хода пилообразного напряжения $t_{обр}$ определяется током разряда $I_{Cразр}$ конденсатора $C_{3Г}$:

$$t_{обр} = \frac{C_{3Г} \Delta U_n}{I_{Cразр}},$$

причем в это время через транзистор VT3 протекает сумма токов $I_{Cразр} + I_{min} + I_{range}$ где $I_{Cразр} \gg I_{min} + I_{range}$.

При условии $t_{обр} \ll t_{np}$ частота ЗГ, совпадающая с частотой переключений силовой части ППН, приблизительно определяется как $f = f_y = 1/t_{np}$. Тогда максимальная частота с учетом выражения (5) определяется по формуле:

$$f_{y\max} = \frac{3,4}{(R_{\min} \parallel R_{\text{range}})C_{3Г}}$$

В [4] при определении минимальной частоты принимается $(I_{\text{range}})_{\min} = 0$. Тогда:

$$t_{\text{np}\max} = \frac{R_{\min}C_{3Г}}{3,4}$$

и соответственно:

$$f_{y\min} = \frac{3,4}{R_{\min}C_{3Г}}$$

Формирование управляющих импульсов необходимой длительности в микросхеме UC3865 осуществляется при помощи RC-цепи, присоединяемой извне к выводу 9 (RC), и трех внутренних компараторов DA3-DA5 (рис. 3). Импульс напряжения, несущий информацию о токе силовой цепи ППН, переход через нуль которого необходимо контролировать, подается на вывод 10 (Zero). На рис. 4 рассмотрены три случая, когда на вывод 10 (Zero): импульс не поступает (первый период), поступает прямоугольный импульс избыточной длительности (второй период), поступает импульс, пропорциональный току в силовой цепи ППН (третий период).

На первом периоде (рис. 4) компаратор DA5 находится в состоянии, когда на его выходе действует уровень логической 1, что разрешает прохождение через ЛЭ И DD4 уровня 1 с выхода компаратора DA4. Компараторы DA4 и DA3 срабатывают с учетом приведенных на рис. 3 сопротивлений резистивного делителя, когда напряжение u_{RC} на RC-цепи превышает пороговые напряжения соответственно $U_{\text{пор}1}$ и $U_{\text{пор}2}$, определяемые выражениями:

$$U_{\text{пор}1} = U_{\text{д. пр}} + \frac{5 - U_{\text{д. пр}}}{42} \times 12 = 2 \text{ В},$$

$$U_{\text{пор}2} = U_{\text{д. пр}} + \frac{5 - U_{\text{д. пр}}}{42} \times 27 = 3,5 \text{ В},$$

где $U_{\text{д. пр}} = 0,8 \text{ В}$. Тогда в момент времени t_1 (рис. 4) на выходе компаратора DA4 появляется уровень 1, который проходит через ЛЭ DD4, DD3 на R-вход RS-триггера DD1, вызывая его сброс и появление уровня 0 на нижнем входе ЛЭ DD2. Это приводит к прекращению в момент t_1 импульса u_{ϕ} , который начал формироваться в момент окончания тактового импульса u_{τ} . Срабатывание компаратора DA3 при увеличении напряжения u_{RC} до значения $U_{\text{пор}2} = 3,5 \text{ В}$ только подтверждает нулевое состояние триггера DD1 и не вызывает никаких других изменений в логической схеме. В рассмотренном случае формируется управляющий импульс u_{ϕ} минимальной длительности $t_{\phi\min}$.

Заряд конденсатора RC-цепи, начинающийся в момент окончания тактового импульса и запираания транзистора VT2, происходит по закону:

$$u_{RC} = U_{\text{всп}} + (U_{\text{д. пр}} - U_{\text{всп}})e^{-t/T_{RC}}$$

где $U_{\text{всп}} = 5 \text{ В}$, $T_{RC} = C_{RC}R_{RC}$ — постоянная времени цепи заряда конденсатора C_{RC} .

В момент появления очередного тактового импульса u_{τ} конденсатор C_{RC} начинает разряжаться через открытый транзистор VT2. Если напряжение на открытом транзисторе принять равным нулю, то конденсатор C_{RC} , как видно из схемы на рис. 3, разряжается до напряжения $u_{RC\min} = U_{\text{д. пр}} = 0,8 \text{ В}$, что меньше пороговых значений $U_{\text{пор}1}$ и $U_{\text{пор}2}$. При этом компараторы DA3, DA4 переключаются в исходные состояния с уровнем 0 на выходах, что вызывает появление уровня 0 на R-входе RS-триггера DD1, триггер оказывается подготовленным к последующему переключению в состояние 1 в момент появления очередного тактового импульса.

На рис. 4 показано, что разряд времязадающего конденсатора $C_{3Г}$ начинается с некоторой задержкой от момента перехода напряжением $u_{\tau}(t)$ через пороговое напряжение 3 В компаратора DA2 и появления очередного тактового импульса u_{τ} , что связано с инерционностью процесса отпираания транзистора VT3.

Второй период на рис. 4 отличается тем, что на вывод 10 (Zero) поступает прямоугольный импульс избыточной длительности, а исходное состояние компараторов DA3, DA4 нулевое, в момент поступления импульса на вывод 10 (Zero) на нижнем входе ЛЭ И DD4 появляется уровень 0, что запрещает прохождение через ЛЭ DD4 уровня 1 с выхода компаратора DA4 в момент, когда $u_{RC} = U_{\text{пор}1}$. Начиная с момента $t = t_2$ окончания очередного тактового импульса u_{τ} на обоих входах RS-триггера DD1 действуют уровни 0, при этом триггер остается в предыдущем состоянии 1, в которое он переключился при появлении тактового импульса. Уровень 1 с выхода триггера проходит через ЛЭ И DD2, поскольку на его верхнем входе установился уровень 0. На выходе DD2 начинает формироваться очередной импульс u_{ϕ} , оканчивающийся в момент появления уровня 1 на R-входе триггера DD1. В рассматриваемом случае уровень 1 не может передаваться с выхода компаратора DA4, поскольку он не может пройти через ЛЭ DD4, на нижний вход которого с выхода компаратора DA5 поступает запрещающий уровень 0 в связи с его переключением сигналом, поступившим со входа 10 (Zero).

При нарастании напряжения u_{RC} до значения $u_{RC} = U_{\text{пор}2}$ срабатывает компаратор DA3, уровень 1 с его выхода проходит через ЛЭ «ИЛИ» DD3 на R-вход триггера DD1, вызывая его переключение в состояние 0. Уровень 0, появляющийся на выходе триггера DD1, приводит к прекращению импульса u_{ϕ} на выходе ЛЭ DD2. В этом случае импульс u_{ϕ} имеет максимально возможную длительность $t_{\phi\max}$.

В третьем периоде на рис. 4 показан случай, когда на вывод 10 (Zero) поступает импульс напряжения, пропорциональный току через силовой транзистор ППН. Силовой транзистор включается в момент начала импульса u_{ϕ} , как показано на рис. 1, что совпадает с моментом начала прямого хода пилообразного напряжения u_{τ} . Как и в предыдущем периоде, начиная с момента $t = t_3$ окончания очередного тактового импульса на обоих входах RS-триггера DD1 действуют уровни 0, предыдущее единичное состояние RS-триггера сохраняется, что инициирует начало формирования очередного импульса u_{ϕ} . Когда напряжение u_{zero} на выводе 10 (Zero) превышает пороговое напряжение 0,5 В компаратора DA5, на нижний вход ЛЭ И DD4 поступает уровень 0, запрещая прохождение уровня 1 с выхода DA4 на R-вход триггера, что в данном случае становится возможным при снижении напряжения u_{zero} ниже уровня 0,5 В. Тогда на выходе компаратора DA5 появляется уровень 1, который разрешает прохождение уровня 1 с выхода компаратора DA4 через ЛЭ DD4 на R-вход триггера DD1. Переключение триггера в состояние 0 приводит к окончанию импульса u_{ϕ} . Длительность импульса напряжения, подаваемого на вход 10 (Zero), должна быть меньше $t_{\phi\max}$ иначе импульс u_{ϕ} завершится раньше момента перехода через нуль сигнала, поступающего на вывод 10 (Zero).

Кроме формирования управляющих импульсов u_{ϕ} необходимой для силовой части ППН длительности, в микросхеме UC3865 реализуются функции защиты микросхемы и всей системы, а также плавный пуск системы, состоящей из силовой части и схемы управления. Часть микросхемы, реализующая

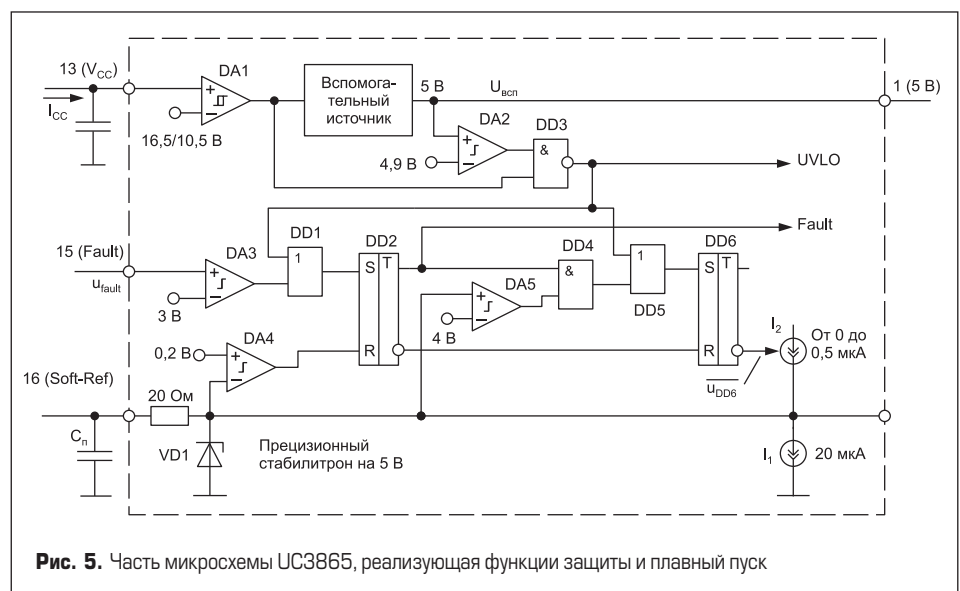


Рис. 5. Часть микросхемы UC3865, реализующая функции защиты и плавный пуск

эти функции, представлена на рис. 5, а временные диаграммы, иллюстрирующие ее функционирование, — на рис. 6.

Вспомогательный источник с номинальным напряжением 5 В участвует в реализации защиты от чрезмерного снижения напряжения питания микросхемы V_{CC} . Напряжение вспомогательного источника поступает на вывод 1 (5 В) микросхемы, к которому относительно «земли» должен присоединяться конденсатор емкостью 0,1 мкФ и с низкими паразитными параметрами.

В момент времени t_1 напряжение $u_{всп}$ на выходе вспомогательного источника превышает пороговое значение 4,9 В компаратора DA2 (рис. 5), компаратор срабатывает, уровень 1 с его выхода поступает на вход элемента «И-НЕ» DD3, на другой вход которого поступает уровень 1 с выхода компаратора DA1. Уровень 0 с выхода ЛЭ DD3 подается на верхние входы ЛЭ «ИЛИ» DD1 и DD5. Поскольку импульс, сигнализирующий о возникшей неисправности, отсутствует на выводе 15 (Fault) микросхемы, на нижний вход ЛЭ DD1 с выхода компаратора DA3 подается уровень 0, с выхода ЛЭ DD1 на S-вход триггера DD2 поступает уровень 0. Конденсатор $C_{п}$ цепи плавного пуска разряжен током I_1 , на выходе компаратора DA4 и на R-входе триггера DD2 поддерживается уровень 1, поэтому в момент поступления уровня 0 на S-вход триггера DD2 происходит его сброс, уровень 1 с обратного выхода DD2 подается на R-вход триггера DD6, вызывая его сброс. Уровень 1, появляющийся при этом на обратном выходе триггера DD6, вызывает рост тока источника I_2 до 0,5 мА, начинается заряд конденсатора $C_{п}$ и рост задающего напряжения усилителя ошибки, начиная с 0, поскольку вывод 16 (Soft-Ref) соединен с выводом 2 (NI). Это означает начало плавного пуска ППН. Таким образом, длительность плавного пуска определяется длительностью импульса u_{DD6} , формируемого на обратном выходе триггера DD6, который оканчивается, когда напряжение $u_{Cп}$ возрастает до напряжения стабилизации стабилитрона $U_{ст} = 5$ В. После этого ток I_2 замыкается через стабилитрон VD1, рост напряжения $u_{Cп}$ прекращается. С выхода компаратора DA4, контролирующего напряжение на конденсаторе $C_{п}$, на R-вход триггера DD2 подается уровень 0, на S-входе которого ранее был установлен уровень 0. Поэтому триггер DD2 остается в состоянии 0.

В момент $t = t_2$ (рис. 6) на вывод 15 (Fault) поступает импульс с амплитудой $U_{fault} >> 3$ В, сигнализирующий о неисправности в системе. Тогда срабатывает компаратор DA3 и уровень 1 с его выхода через ЛЭ «ИЛИ» DD1 проходит на S-вход триггера DD2, подготовленного к переключению входными уровнями $S = 0, R = 0$, и вызывает его переброс. После этого уровень 0 с обратного выхода триггера DD2 подается на R-вход триггера DD6, подготавливая его переброс в состояние 1. Уровень 1 с прямого выхода триггера DD2 поступает на верхний вход ЛЭ «И» DD4, на нижнем входе которого уже имеется уровень 1, поскольку конденсатор $C_{п}$ был заряжен до напряжения 5 В и на выходе компаратора DA5 установлен уровень 1. Поэтому уровень 1 с выхода

DD4, пройдя через ЛЭ ИЛИ DD5, вызывает срабатывание триггера DD6, ток I_2 снижается до 0, начинается разряд конденсатора $C_{п}$ током $I_1 = 20$ мкА. Таким образом реализуется задержка повторного пуска микросхемы и всего ППН в целом.

Если напряжение питания микросхемы V_{CC} становится меньше нижнего порогового напряжения компаратора DA1, равного 10,5 В, на выходе компаратора появляется уровень 0, вспомогательный источник отключается от напряжения V_{CC} , напряжение на его выходе начинает снижаться. Когда оно станет меньше 4,9 В, компаратор DA2 переключается в состояние 0, на выходе логического элемента «И-НЕ» DD3 появляется уровень 1 (сигнал UVLO), запускающий механизм защиты от чрезмерного снижения напряжения питания V_{CC} и вызывающий установку триггера DD6 в состояние 1. Логический уровень $u_{DD6} = 0$, появляющийся при этом на обратном выходе триггера DD6, вызывает снижение тока источника I_2 до 0, начинается разряд конденсатора $C_{п}$ током $I_1 = 20$ мкА. Тем самым запускается механизм задержки повторного пуска.

Когда напряжение V_{CC} превысит значение 16,5 В, компаратор DA1 срабатывает, на его выходе появляется напряжение высокого уровня (уровня 1), что становится командой на подключение вспомогательного источника к напряжению V_{CC} . Начинается рост напряжения $u_{всп}$, как показано на рис. 6. Когда напряжение $u_{всп}$ достигнет 4,9 В, компаратор DA2 срабатывает, уровень 1 с его выхода поступает на верхний вход логического элемента «И-НЕ» DD3, на нижний вход которого уже подан уровень 1 с выхода компаратора DA1. Уровень 1 на выходе элемента DD3 сменяется на 0, то есть сигнал ULVO отменяется. Вывод 1 (5 В) должен быть соединен с «землей» через конденсатор емкостью 0,1 мкФ с малыми паразитными сопротивлением и индуктивностью.

Вывод 15 (Soft-Ref) выполняет функции задержки повторного пуска и плавного пуска и предназначен для работы с вытекающим и втекающим токами 200 мкА. При плавном пуске он должен использоваться в качестве источника опорного напряжения усилителя ошибки. При присоединении к нему конденсатора емкостью не менее $C_{п} = 0,1$ мкФ минимальное время плавного пуска определяется временем заряда внешнего конденсатора $C_{п}$ током $I_2 = 0,5$ мА и составляет:

$$t_{п\ min} = \frac{C_{п} U_{Cп\ max}}{I_2} = \frac{0,1 \times 10^{-6} \times 5}{0,5 \times 10^{-3}} = 1 \text{ мс.}$$

Высокий уровень на выходе ЛЭ «И-НЕ» DD3, устанавливая RS-триггер DD2 в состояние 1, запускает также механизм защиты от неисправностей (Fault) и, кроме того, устанавливая RS-триггер DD6 в состояние 1, инициирует процесс перезапуска. Задержка процесса перезапуска определяется временем разряда конденсатора $C_{п}$ током $I_1 = 20$ мкА и составляет при начальном напряжении на конденсаторе $C_{п}$, равном $U_{Cп} = 4$ В, и емкости $C_{п} = 0,1$ мкФ:

$$t_{з.п} = \frac{C_{п} (U_{Cп} - 0,2)}{I_1} = \frac{0,1 \times 10^{-6} \times (4 - 0,2)}{20 \times 10^{-6}} = 19 \times 10^{-3} \text{ с} = 19 \text{ мс,}$$

что в 19 раз больше, чем время плавного пуска.

Конденсатор $C_{п}$ заряжается до 4 В при пуске в том случае, когда механизм защиты от неисправностей активируется сигналом с амплитудой более 3 В на выводе 15 (Fault). Тогда уровень 1 с выхода быстродействующего компаратора DA3 проходит через ЛЭ «ИЛИ» DD1 на S-вход RS-триггера DD2, на R-входе которого действует уровень 0, поскольку на нижнем входе компаратора DA4 действует напряжение больше 0,2 В. Уровень 1 с прямого выхода триггера DD2 поступает на верхний вход ЛЭ «И» DD4 и, когда конденсатор $C_{п}$ зарядится до напряжения больше 4 В, на нижний вход ЛЭ «И» DD4 также поступает уровень 1. Этот уровень через ЛЭ «ИЛИ» DD5 проходит на S-вход триггера DD6. Уровень 0 с обратного входа триггера DD6, возникающий при его срабатывании, происходящем в данном случае независимо от сигнала UVLO, приводит к уменьшению до 0 тока источника I_1 .

В случае когда перезапуск инициируется уровнем 1 (UVLO), появляющимся на выходе элемента DD3, триггер DD6 устанавливается в состояние 1, минуя срабатывание компаратора DA5. Поэтому конденсатор $C_{п}$ может зарядиться до напряжения стабилизации стабилитрона VD1 $U_{ст} = 5$ В током I_2 , который под управлением уровнем 1 на обратном

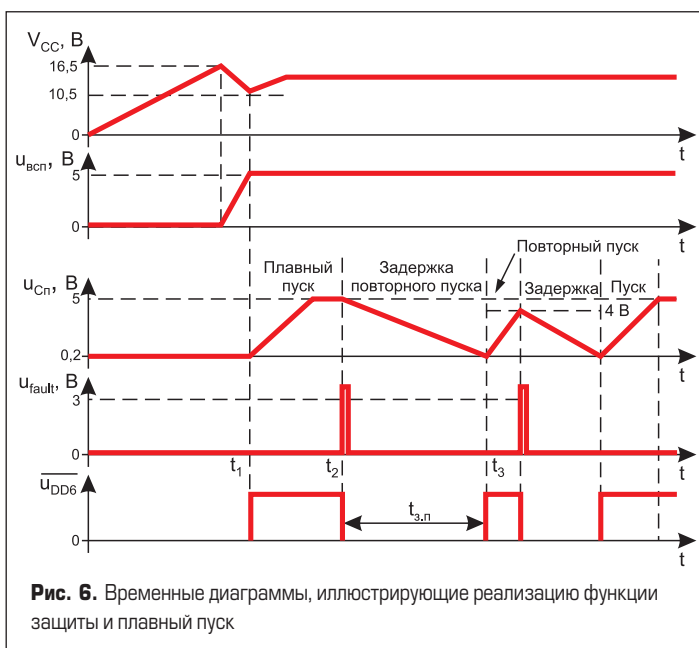


Рис. 6. Временные диаграммы, иллюстрирующие реализацию функции защиты и плавный пуск

выходе триггера DD6 возрос до 0,5 мА. При срабатывании триггера DD6 ток I_2 снижается до 0 и происходит разряд конденсатора C_{π} током $I_1 = 20$ мкА, начиная с напряжения $u_{C\pi} = U_{CT} = 5$ В. Тогда время разряда конденсатора, равное запаздыванию повторного пуска (перезапуска), составляет:

$$t_{з.п} = \frac{0,1 \times 10^{-6} \times (5 - 0,2)}{20 \times 10^{-6}} = 24 \text{ мс.}$$

Если за время $t_{з.п}$ задержки не поступают сигналы UVLO (уровень 1 с выхода ЛЭ «И-НЕ» DD3) или о неисправности (на внешний вывод 15 (Fault) микросхемы), то это время успешно завершается тем, что в момент t_3 начинается повторный пуск.

Предыдущий пуск начинался с момента формирования уровня 1 на выходе компаратора DA2 и успешно завершился в момент заряда конденсатора C_{π} до напряжения стабилизации прецизионного стабилизатора VD1 U_{CT}

= 5 В, состояние схемы после пуска сохранялось до поступления сигнала о неисправности и срабатывания триггера DD2 и подачи уровня 1 на ЛЭ DD4. Повторный пуск, начавшийся в момент t_3 , завершается до момента, когда конденсатор C_{π} зарядится до напряжения, превышающего 4 В, срабатывает компаратор DA5, на второй вход ЛЭ DD4 подается уровень 1, что вызывает переключение триггера DD6 в состояние 1 и появление на его обратном выходе уровня $\overline{u_{DD6}} = 0$. Ток источника I_2 снижается до 0, заряд конденсатора C_{π} прекращается.

При конструировании ППН могут возникнуть сложности при выборе датчика тока силовой цепи и драйверов для силовых транзисторов. В мощных ППН в качестве датчиков тока используются малогабаритные трансформаторы тока. Схемотехника драйверов для транзисторов VT2, VT4 (рис. 1а) сравнительно проста, схемы драйверов для транзисторов VT1, VT3 усложняются тем, что опирающие

импульсы для этих транзисторов должны быть смещены вверх на значение входного напряжения $u_{вх}$.

Литература

1. Белов Г. А. Высокочастотные тиристорно-транзисторные преобразователи постоянного напряжения. М.: Энергоатомиздат, 1987.
2. Белов Г. А. Анализ режимов преобразователя постоянного напряжения с последовательным резонансным инвертором при прерывистом токе в контуре // Практическая силовая электроника. 2016. № 1 (61).
3. Iqbal S., Samsudin N. A., Taib S., Lee S. S. Zero-current Switching Series Resonant High-voltage DC-DC Converter with Series-connected Primary Windings of Center-tapped Transformer // Electric Power Components and Systems. 2015. No. 4 (43).
4. UC1861-UC3868 Resonant-Mode Power Supply Controllers. www.ti.com