Комплексная методология
определения надежности GaN-транзисторов

В настоящее время компания Texas Instruments разрабатывает комплексную программу оценки качества и надежности компонентов, основанную на фундаментальных характеристиках нитрида галлия (GaN) и применении соответствующих методик испытаний, направленных на повышение надежности выпускаемых компанией приборов, выполненных по GaN–технологии. Темой, поднятой в предлагаемой статье, представленной в оригинале в виде открытого официального сообщения (White Paper "A comprehensive methodology to qualify the reliability of GaN products") компании Texas Instruments, являются проблемы подтверждения надежности GaN–транзисторов.

Сандип Р. Бахл (Sandeep R. Bahl)

Перевод: Владимир Рентюк

Физические свойства нитрида галлия (GaN) позволяют разрабатывать и создавать на его основе совершенно уникальные полупроводниковые компоненты, а именно — GaN-транзисторы с высокой подвижностью электронов, известные как HEMT (High-Electron Mobility Transistor), которые можно использовать в качестве основного силового компонента импульсных источников питания. Достоинство GaN-HEMT заключается в том, что он представляет собой полевой транзистор с гораздо более низким сопротивлением канала в открытом состоянии. Кроме того, он может переключаться гораздо быстрее, чем силовой кремниевый транзистор с кристаллом эквивалентной площади. Эти преимущества позволяют разрабатывать на базе GaN-транзисторов более мощные и экономичные преобразователи энергии. Еще одно важное преимущество GaN заключается в том, что его можно выращивать на кремниевых подложках. Это позволяет использовать для выпуска полупроводниковых приборов на его основе технологические возможности для производства кремния и снизить таким образом себестоимость конечной продукции. Однако, как и в случае с любыми новыми технологиями, надежность таких приборов должна быть доказана и не вызывать сомнений.

Вступление

Промышленность гарантирует надежность кремниевых (Si) силовых транзисторов уже как нечто само собой разумеющееся. Это является следствием более чем тридцатилетнего опыта их производства и применения, а также постоянного совершенствования как технологии их изготовления, так и их конструкции. Многолетний опыт привел к выработке действенной методологии оценки их качества, в соответствии с которой надежность и качество таких приборов подтверждаются путем выполнения ряда стандартизованных испытаний. Методика проведения таких испытаний основана на детальном понимании особенностей функционирования Si-транзисторов, понимании режимов, приводящих к отказам, их энергии активации и использования факторов ускорения испытаний путем управления режимами воздействия. Это позволило разработать статистические и математические основы для экстраполяции срока службы таких устройств на интенсивность отказов и дефектность. В настоящее время данная методология оценки качества полупроводниковых Si-приборов полностью доказала свою эффективность, поскольку нам уже доступны данные по отказам нескольких поколений таких приборов, которые были получены в течение их истинного срока службы в реальных условиях фактического применения.

Однако GaN-транзисторы являются более поздними разработками, и по ним, в отличие от приборов, выполненных на основе Si-технологии, пока не накоплены достаточные реальные статистические данные по их долговременной надежности. Поэтому надежность высокочастотных GaN-HEMT, выполненных на более дорогих подложках из карбида кремния (SiC), которые стали широко использоваться в беспроводных базовых станциях, пока подтверждается только лишь процессом испытаний [1]. В отличие от высокочастотных GaN-HEMT, для силовых транзисторов этой технологии, хотя они и основаны на аналогичных принципах, добавился такой новый фактор, как необходимость функционирования на значительно более высоких напряжениях «сток–исток». Еще одно отличие заключается в том, что, в целях снижения себестоимости, силовые GaN-транзисторы выращиваются не на SiC,

а на Si-подложках, и здесь используются материалы, совместимые с Si-технологией. Кроме того, для обеспечения отказоустойчивости здесь должен использоваться транзистор с индуцированным (или инверсным) каналом (в англ. терминологии — enhancement-mode, или e-mode), то есть устройство должно находиться в нормально-выключенном состоянии при нулевом напряжении на его затворе.

В настоящее время для GaN-транзисторов существуют три основные архитектуры:

1. GaN-HEMT с собственным (или встроенным) (depletion mode transistor, или d-mode) затвором, каскадированные с дополнительным полевым Si-транзистором с индуцированным каналом (e-mode).
2. GaN-HEMT с изолированным затвором и индуцированным каналом (e-mode);
3. GaN-HEMT с диффузионным карманом *p*-типа (p-doped), управляющим *p-n*-переходом (junction-gate) и индуцированным каналом.

Все эти типы транзисторов имеют разные режимы отказа относительно друг друга, а также относительно полевых Si-транзисторов. Таким образом, возникает законный вопрос о том, как оценивать их качество и надежность. Стандартный подход, который используется для приборов на основе Si, — это гарантия хорошего уровня их качества и надежности, но неясно, как такой подход покажет себя при его применении для транзисторов GaN-технологии с точки зрения срока службы устройства, частоты отказов и в целом в части актуальности его применения.

Компания Texas Instruments (TI) является одним из безусловных лидеров в области полупроводниковых технологий с большим опытом поставок надежной полупроводниковой продукции на рынок, включая не только технологии на базе Si, а и такие устройства, как, например, сегнетоэлектрическая оперативная память (Ferroelectric Random Access Memory, FRAM). Поэтому TI хорошо подготовлена через соответствующую квалификационную методологию для доставки на рынок надежных продуктов, выполненных на базе GaN-технологии. Используемая компанией методология отвечает соответствующим специфическим требованиям, предъявляемым к такому полупроводниковому материалу, как GaN, и направлена на тестирование приборов, выполненных по рассматриваемой в данной статье технологии, на их соответствие требованиям конкретных приложений.

Стандартная методология оценки надежности полупроводниковых приборов

Существует два органа по стандартизации, чьи квалификационные методологии в виде стандартов широко используются для оценки качества силовых транзисторов: JEDEC (Joint Electron Device Engineering Council, Сообщество инженеров, специализирующихся в области электронных устройств) — комитет инженерной стандартизации полупроводниковой продукции при Electronic Industries Alliance (EIA), промышленной ассоциации, представляющей все отрасли электронной индустрии, и AEC (Automotive Electronics Council — Совет производителей автомобильной электроники) [2, 3, 4, 5]. Методики, изложенные в стандартах этих организаций, определяют целый ряд испытаний, подтверждающих в итоге надежность конечного продукта, которые можно разделить на три категории: устойчивость к воздействию электростатического разряда (Electrostatic Discharge, ESD); надежность на уровне корпусирования; надежность на уровне завершенного компонента (устройства).

Требования в части ESD связаны с непосредственным использованием полупроводникового прибора, а не с особенностями его технологии, так что изменения методики его испытаний на устойчивость к ESD не ожидается. Также предполагается, что испытания корпусов полупроводниковых приборов, выполненных на базе GaN-технологии, будут аналогичны испытаниям Si-транзисторов, при этом, чтобы выделить неожиданные механизмы отказов, все отказы приводятся к первопричине их возникновения. Сходство оценок здесь возникает из-за того, что проблемы внутренних напряжений в корпусах таких приборов связаны с взаимодействием основных материалов и т. п. То есть они являются общими, так как исторически используемая в силовых полупроводниковых приборах Si-подложка также используется и у транзисторов, выполненных по GaN-технологии. Однако если рассматривать проблему на уровне устройства в целом, то здесь мы сталкиваемся с рядом новых моментов, влияющих на надежность, и, следовательно, именно они имеют здесь особое значение. В следующих разделах настоящей статьи будет рассмотрена стандартная методика оценки качества Si и описано то, как она может быть адаптирована к приборам, выполненным по GaN-технологии.

Для определения качества Si-транзисторов они подвергаются стандартным испытаниям при температуре полупроводникового перехода не менее +125 °C длительностью 1000 ч. Если предполагается, что энергия активации Si, то есть значение энергии, которое нужно сообщить полупроводнику, чтобы электроны из валентной зоны перешли в зону проводимости, составляет 0,7 эВ, то это, в зависимости от температуры (в данном случае +125 °C), дает нам коэффициент учащения возникновения отказов (старения), равный 78,6 [2]. Это приводит к тому, что испытания в течение 1000 ч при температуре полупроводникового перехода (Tj), равной +125 °C, эквивалентны девяти годам использования транзистора в условиях с температурой полупроводникового перехода +55 °C. Кроме того, такие устройства испытывают при максимальном рабочем напряжении. Для дискретных полевых транзисторов обычно выбирают 80% от минимального напряжения пробоя, установленного в их спецификации. Это означает, что в условиях таких испытаний не происходит ускорения старения и накопления дефектов в зависимости от напряжения, эффект ускорения испытаний достигается только лишь за счет повышенной температуры. Для силовых устройств это имеет важные последствия, поскольку рабочая температура полупроводниковых переходов таких транзисторов обычно лежит выше +55 °C, а часто даже и выше +75 °C.

В стандарте также указывается, что испытания проводятся на трех выборках, каждая из которых содержит 77 транзисторов, при этом отказы недопустимы. Критерий «нулевого отказа» при испытаниях на 231 транзисторе означает, что значение допустимого процента дефектных изделий в партии (Lot-Tolerant Percent Defective, LTPD) равно единице [2]. Это означает, что, экстраполируя полученные результаты испытаний, можно заявить с 90%-ной уверенностью, что в данной партии полупроводниковых приборов в течение времени эксплуатации откажут не более 1% транзисторов. Другими словами, это гарантируется для девяти лет их использования при Tj = +55 °C и максимальном рабочем напряжении. Результатом нулевого критерия к отказам при испытаниях на 231 транзисторе и использовании энергии активации 0,7 эВ является и то, что начальная максимальная интенсивность отказов при Tj = +55 °C будет равна 50 FIT (Failure in Time, FIT — единица вероятной интенсивности отказов электронных компонентов. 1 FIT равен одному отказу за 1 млрд ч) [6].

Однако, помимо статических методов испытаний, существуют еще и динамические. Они могут быть вкратце определены как «способность устройства работать в динамическом режиме» [3]. Разработчику предоставляется возможность самому определить подходящие варианты тестирования. Отсутствие четко предписанных испытаний связано с трудностью определения методики тестирования, которая бы соответствовала широкому диапазону постоянно меняющихся приложений и технологий. Поэтому жестко указанная методика испытаний может быть некорректной по отношению к среде фактического использования и может либо приводить к ложным показателям надежности, либо не обеспечивать ускоренное воздействие на действительные механизмы отказа [7].

Как уже говорилось, для силовых полевых Si-транзисторов достоверность методологии оценки их качества была подтверждена многолетним опытом их фактического использования. В отличие от новых технологий, таких как GaN, разработчику устройства приходится самому определять методику их динамического тестирования на основании области фактического использования транзисторов. Поэтому здесь важно разработать такие методики испытаний, благодаря которым надежность может быть подтверждена в реальных условиях конечного применения полупроводниковых приборов, выполненных именно по технологии GaN.

Наконец, существуют обоснованные опасения, что приборам на базе GaN не характерны отказы, вызванные лавинным пробоем. То есть такие устройства не выйдут из строя сразу, а будут повреждены вследствие постепенного накапливания дефектов. Эту проблему необходимо

Таблица 1. Влияние различных параметров испытаний на надежность и достоверность экстраполяции результатов

Сценарий	Материал	Si	Si	Si	E_A = 1,05 эВ	E_A = 1,05 эВ	E_A = 1,37 эВ
	Температура полупроводникового перехода Tj, °C	55	105	105	105	105	105
	Ускорение по испытательному напряжению	Нет	Нет	Нет	Да	Нет	Нет
	Длительность испытаний, ч	1000	1000	1000	1000	2846	1000
Начальные условия	Воздействующая температура, °C	+125	+125	+150	+150	+150	+150
	Энергия активации, эВ	0,7	0,7	0,7	1,05	1,05	1,37
	Число отказов на выборку	0/231	0/231	0/231	0/231	0/231	0/231
	Ускорение по испытательному напряжению	1	1	1	2,84	1	1
Результаты	Срок службы (без учета ускорения испытаний), лет	8,9	0,3	1,1	10,0	10,0	10,0
	Максимальный показатель FIT	50,8	1345,0	402,6	45,2	45,1	45,1
		Расчетное значение интенсивности отказов в FIT определено по уровню достоверности 60%					

решать, поскольку она особенно важна для высоковольтных приложений, например таких, как схемы коррекции коэффициента мощности (PFC), где устройства периодически подвержены возможным критическим воздействиям от перенапряжений, вызванных, к примеру, воздействием разрядов молний на линии электропередачи.

Адаптация стандартной методики оценки качества полупроводниковых приборов к GaN-транзисторам

Стандарты как JEDEC, так и AEC имеют под собой прочную базу, но они отстают от текущих требований по мере внедрения новых технологий. Проверка и подтверждение качества полупроводниковых Si-приборов, несомненно, сыграли важную роль, но в современных условиях рынка заказчику нужен продукт, который можно будет эксплуатировать в течение всего желаемого срока службы, например десяти лет, при низкой интенсивности отказов именно в реальных условиях его использования. В результате компании, внедряющие такие новые технологии, как, например, FRAM, масштабированные КМОП (scaled CMOS) продукты, полупроводниковые приборы на основе GaN и т. п., должны понимать базовые основы, из которых возникли современные стандарты оценки качества и надежности. В методологии, принятой JEDEC, основным ускорителем старения является температура. Коэффициент ускорения (AF) рассчитывается по формуле (1):

$$AF = \exp\left\{\left(\frac{E_A}{k}\right)\left[\left(\frac{1}{T_{USE}}\right)-\left(\frac{1}{T_{STRESS}}\right)\right]\right\}, \qquad (1)$$

где: E_A — энергия активации; k — постоянная Больцмана, равная $1{,}3807\times10^{-23}$ Дж/К; T_{USE} — температура полупроводникового перехода в условиях реальной эксплуатации компонента; T_{STRESS} — температура полупроводникового перехода транзистора в условиях испытаний.

Если в формуле (1) в качестве T_{STRESS} используется температура полупроводникового перехода +125 °C, а в качестве T_{USE} — его температура в условиях реального применения +55 °C, то при энергии активации около 0,7 эВ мы как раз и имеем указанный ранее коэффициент ускорения испытаний, равный 78,6. Вот почему при испытаниях длительностью 1000 ч при Tj = +125 °C их результаты будут примерно эквивалентны десяти годам использования такого транзистора при температуре его полупроводникового перехода +55 °C. Согласно опубликованной в технической литературе информации, энергия активации для GaN [8] находится в пределах от 1,05 до 2,5 эВ. Широкий диапазон значений энергии активации E_A свидетельствует о разнообразии устройств, процессов и материалов, используемых в разных лабораториях и компаниях по всему миру. Этот диапазон может приводить к весьма широкому изменению значений коэффициента ускорения, скажем, от 687 при E_A = 1,05 эВ до более 5 млн при E_A = 2,5 эВ. Поэтому необходимо определить реальное влияние энергии активации исходя из технологического процесса изготовления и архитектуры устройства, что дает нам в совокупности конечный продукт.

Также здесь крайне важно учитывать температуру полупроводникового перехода в условиях реальной эксплуатации. Из-за своей широкой запрещенной зоны приборы на основе GaN могут работать при более высоких температурах, чем выполненные на базе Si. А это важно для продуктов, предназначенных для использования в силовой электронике. Таким образом, для оценки качества GaN-транзисторов необходимо учитывать несколько факторов. В таблице 1 приведено сравнение стандартных тестов, используемых для оценки качества Si-транзисторов, длительностью 1000 ч при *Tj* = +125 °C с несколькими другими сценариями. Очевидно следующее: если рабочая температура полупроводникового перехода равна +105 °C, то для предполагаемой энергии активации 0,7 эВ чистое, без ускоренного старения, время службы уменьшается от ~9 лет до 0,3 года. Это время может быть увеличено до 1,1 года за счет повышения температуры испытаний до +150 °C, что является практическим пределом для приборов в стандартных корпусах. В этом случае результат оценки надежности не соответствует сроку службы в реальных условиях эксплуатации или требует отказаться от условия максимально допустимой интенсивности отказа в 50 FIT. Тем не менее это служит надежной вехой в оценке качества.

Для 1000-часового испытания, эквивалентного 10 лет эксплуатации, необходим коэффициент ускорения испытаний 87,6, что достигается при энергии активации 1,37 эВ. Более низкая энергия активации, например 1,05 эВ, указанная в [8], потребует либо увеличения напряжения в 2,84 раза, либо увеличения продолжительности, примерно от шести до 17 недель. Чрезмерное увеличение напряжения может вызвать нерепрезентативные режимы отказа, а увеличение продолжительности испытаний продлевает цикл разработки нового продукта. В зависимости от режимов отказа и доступного ускорения испытаний прибора в корпусированном варианте, тесты оценки качества и надежности, представляющие требуемый эквивалентный срок эксплуатации, могут быть просто невозможны. Выполнение требования к заданному сроку эксплуатации могло бы быть гарантировано при проверке надежности на уровне полупроводниковой пластины [2] и подтверждено проведением испытаний большей продолжительности уже на корпусированных транзисторах.

Важно, чтобы критерий отказа выбирался с учетом специфики отказов полупроводниковых приборов, выполненных на базе GaN. Основной причиной отказа здесь является динамическое увеличение сопротивления канала в открытом состоянии ($R_{ds\text{-}on}$), также известное как эффект «коллапса» тока (current-collapse), что приводит к снижению достижимой мощности прибора на высокой частоте по сравнению с его работой на напряжении постоянного тока. Это вызвано захватом отрицательного заряда как в буферном, так и в верхнем слоях [9, 10]. Заряд может быть захвачен при приложении к транзистору высокого напряжения и не может рассеиваться мгновенно при включении устройства.

Захваченный отрицательный заряд отталкивает электроны от канального слоя, а $R_{ds\text{-}on}$ увеличивается, потому что количество электронов в канальном слое уменьшается (рис. 1). Впоследствии, когда захваченный заряд рассеивается, $R_{ds\text{-}on}$ восстанавливается. Это явление снижает эффективность силовых транзисторов и может привести к их чрезмерному нагреву и преждевременному отказу.

Кроме того, концентрация ловушек может увеличиваться по мере старения устройства, что делает со временем негативный эффект от динамического изменения $R_{ds\text{-}on}$ еще более заметным. Поскольку у компании TI имеется специализированное оборудование для мониторинга динамического $R_{ds\text{-}on}$ во время испытаний, это позволяет ей выпускать продукты, не имеющие этой проблемы.

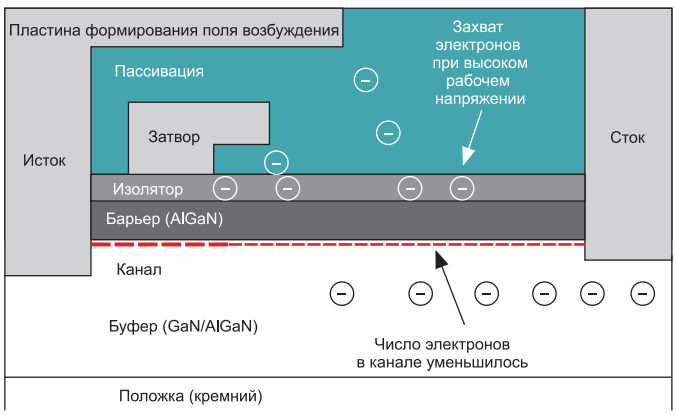

Рис. 1. Условное сечение GaN-транзистора показывает, как захват электронов может увеличивать R_{ds-on} за счет уменьшения числа электронов в канальном слое

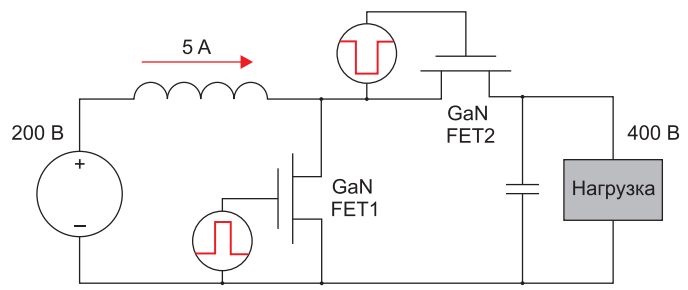

Рис. 2. Упрощенная топология повышающего DC/DC-преобразователя

Тестирование полупроводниковых приборов с учетом соответствия требованиям приложения

Несмотря на то, что испытания при использовании напряжения постоянного тока относительно просты, даже при их проведении на достаточно большой выборке они не могут предсказать, сможет ли GaN-транзистор с заданной вероятностью поработать 10 лет в конкретном приложении. Это связано с тем, что возникающие при его переключении процессы сильно отличаются от его поведения при приложенном напряжении постоянного тока. Силовые ключи преобразователей импульсных источников питания подвергаются воздействию переходных процессов, связанных с индуктивным характером их нагрузки. При этом они одновременно подвергаются воздействию и больших токов, и высоких напряжений. Переходные процессы при включении транзистора являются наиболее стрессовыми по своим воздействиям. Это связано с тем, что канал полевого транзистора начинает обеспечивать ток дросселя еще до того, как напряжение «сток–исток» *Vds* упадет до минимального уровня (то есть до напряжения насыщения), а также должен принимать на себя ток разряда емкостей в течение времени обратного восстановления других связанных с ключами элементов. Транзисторы также должны взять на себя дополнительный ток вследствие разряда выхода устройства и емкостей всего ключевого каскада, пока напряжение «сток–исток» падает. Выключение — менее стрессовый процесс, потому что канал полевого транзистора при этом будет заперт еще в тот момент, когда напряжение *Vds* находится на минимальном уровне, а ток от накопленной в дросселе энергии пойдет на зарядку соответствующих выходных емкостей.

Воздействие стрессовых напряжений на транзисторы ключей можно наглядно проиллюстрировать на примере повышающего преобразователя с топологией, показанной на рис. 2. Результаты моделирования включения/включения с сопутствующими переходными процессами, возникающими во время коммутации на основном ключе FET1, показаны на рис. 3. В нашем примере входное напряжение преобразователя составляет 200 В, а ток дросселя равен 5 А (ток нагрузки составляет около 2,5 А). В том случае, когда FET1 выключен, его напряжение «сток–исток», из-за того, что разрядный полевой транзистор FET2 открыт, ограничено примерно на уровне 400 В. В результате, когда FET1 включается, он должен начать обеспечивать полный ток дросселя еще до того, как его напряжение *Vds* начнет снижаться (область А).

Когда напряжение на стоке падает (область В), полевому транзистору FET1 необходимо разрядить емкость на коммутируемом узле. Это осуществляется через ключ FET2, проводники платы и другие подключенные компоненты. В предложенном варианте с разрядным ключом на FET2 (здесь также используется GaN-транзистор) нет обратного тока восстановления. Вольт-амперная характеристика, приведенная на рис. 4, показывает значительный ток стока при высоких значениях *Vds*. В рассматриваемом случае он примерно на 6 А превышает значение тока дросселя в стационарном режиме. Фактический ток канала FET1 еще выше, поскольку через его канал разряжается еще и емкость стока. Например, при емкости стока всего лишь 50 пФ и скорости нарастания 60 В/нс к току дросселя добавляется еще 3 А.

Во время жесткого включения большой ток, возникающий в канале полевого транзистора при высоких значениях напряжения *Vds*, приводит к значительной генерации горячих носителей. Это требует того, чтобы транзистор был разработан так, чтобы быть более устойчивым к стрессовым воздействиям. Кроме того, если для повышения коммутируемой мощности используются большие массивы параллельно работающих транзисторов, то они, по целому ряду причин, могут не обеспечить режим полностью синхронного переключения. Это приводит к тому, что часть транзисторов, которые начнут включаться первыми, будет перегружена по току. Переключение при высоком значении *dv/dt*

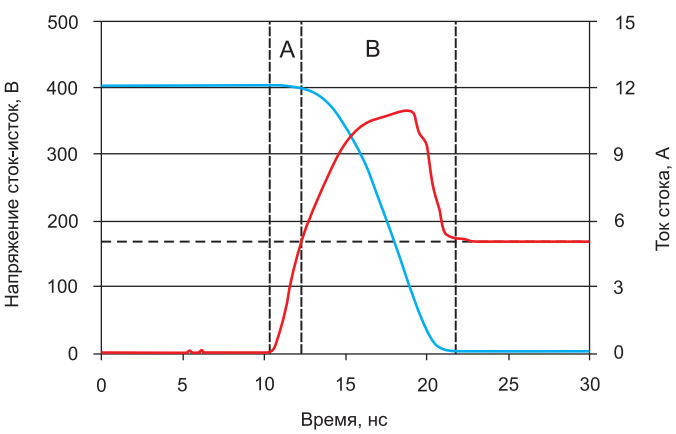

Рис. 3. Характеристика включения основного ключа повышающего DC/DC-преобразователя

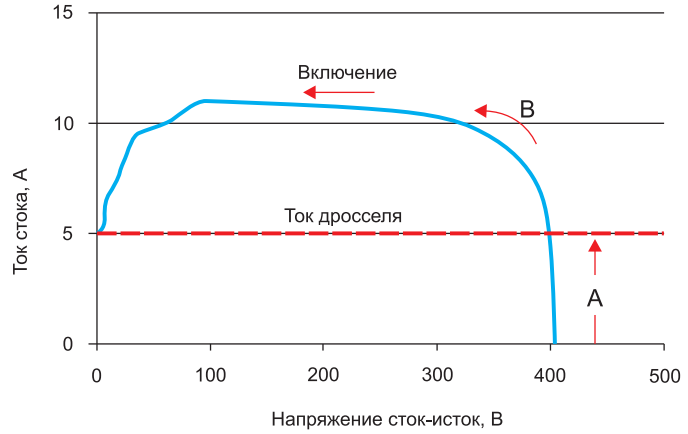

Рис. 4. Вольт-амперная характеристика ключа в условиях коммутации индуктивной нагрузки показывает значительный ток при высоком напряжении «сток–исток»

также может привести к тому, что дополнительный ток, вызванный зарядом емкости стока и паразитных емкостей собственно конечного устройства, окажет негативное влияние не только на кристалл транзистора, но и на его конструктивные элементы, такие как выводы транзистора и элементы их подключения. Таким образом, для приложений с жестким режимом переключения необходимо проводить испытания на надежность именно в условиях, обеспечивающих оценку надежной работы устройств, и таким образом определить область их безопасной работы (Safe Operating Area, SOA), ограничивающую условия использования данного транзистора в конкретном приложении.

С этой целью, чтобы иметь возможность оценивать надежность транзисторов в условиях жесткого переключения, TI разработала специальную коммутационную ячейку с индуктивностью, выполненную на основе топологии простейшего повышающего преобразователя (рис. 5). Выбор такого решения основан на рекомендации JEDEC [7], в которой говорится: «В зависимости от режимов отказа и анализа механизмов отказа, приближенная к реальным условиям динамическая модель для испытаний может быть более предпочтительной, поскольку фактическая сложность продукта может маскировать внутренние механизмы отказа».

Когда полевой GaN-транзистор выключен, ток дросселя рециркулируется (передается) на вход через диод, что устраняет необходимость в нагрузочном резисторе и позволяет экономить энергию. Ячейка работает с дросселем (индуктивностью L) в режиме непрерывного тока. Поскольку целью является формирование переходных процессов переключения, то энергия в дросселе может накапливаться с использованием коротких рабочих циклов. Ячейка имеет возможность изменять приложенные к проверяемому транзистору напряжение, ток и частоту импульсов. Также предусмотрена возможность изменения температуры, при которой проводятся испытания. Дополнительный ток стока (рис. 4) обеспечивается собственной емкостью диода.

При необходимости в ячейку можно добавить дополнительный конденсатор, подключив его к конденсатору C. Эта ячейка также содержит необходимое аппаратное обеспечение для измерения динамического сопротивления ($dR_{ds\text{-}on}$) транзистора, которое выполняется через одну микросекунду после его включения. Такая предусмотренная возможность мониторинга необходима, поскольку, как уже было сказано ранее, динамическое сопротивление канала $dR_{ds\text{-}on}$ может со временем ухудшаться (возрастать), что приводит к более высоким потерям проводимости и снижению эффективности (КПД). Что касается транзисторов, то рост $dR_{ds\text{-}on}$ вызывает их чрезмерный самонагрев, который и является причиной их постепенного теплового разрушения. На первый взгляд, такие данные можно получить во время начала процесса открывания транзистора, просто остановив испытания. Однако это ошибочное суждение. Дело в том, что в этом случае динамическая деградация $R_{ds\text{-}on}$ восстанавливается. Возможность контролировать этот критический параметр отказа GaN-транзисторов позволяет TI выпускать свои продукты свободными от негативных последствий этой проблемы.

В дополнение к предложенному варианту тестирования транзистора, как ключа с индуктивной нагрузкой, многофункциональный GaN-модуль должен быть оценен в системе и работать в реальных условиях его использования. Это даст возможность оценить взаимодействие транзистора с другими компонентами системы и выявить неизвестные механизмы отказа. Несмотря на то, что компоненты могут быть индивидуально надежными, в изделии они могут вести себя непредвиденными способами. Например, в каскадированном устройстве зарядная связь через емкость источника стока GaN-транзистора может привести к лавинному пробою связанного с ним Si-транзистора, который проявляется во время переходных процессов выключения [11]. Транзистор также должен быть проверен под реальной нагрузкой, что позволит оценить его работу в сложных тепловых условиях, принимая во внимание и теплообмен с окружающей средой.

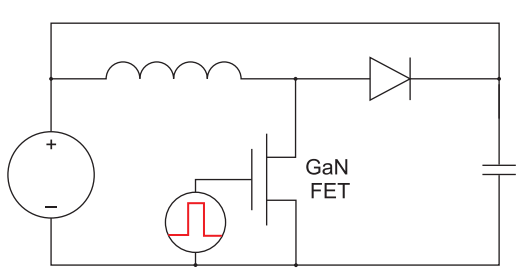

Рис. 5. Схема включения для динамических испытаний GaN-транзисторов под индуктивной нагрузкой, предложенная компанией TI

Особого упоминания заслуживает проблема устойчивости к лавинному пробою. В настоящее время GaN-HEMT не проявили такой особенности. Однако это может измениться по мере внедрения новых технологий, поскольку сам по себе GaN, как полупроводниковый материал, может проявлять эффект лавинного пробоя [12]. Учитывая сказанное, TI разрабатывает свои продукты с достаточным запасом для решения всех возможных проблем, возникающих в условиях перенапряжения. Например, в случае использования полевых транзисторов в корректорах коэффициента мощности, когда удар молнии приходится на линию электропередачи, приложенное к ним напряжение может в импульсе достигать уровня в 700 В. Для таких приложений GaN-транзистор будет выполнен так, чтобы выдерживать броски напряжения, по меньшей мере, до уровня 750 В.

Заключение

Компанией Texas Instruments накоплен многолетний опыт работы по оценке качества Si-продуктов, который она использует для оценки своих изделий на основе GaN. Однако необходимо понять первопричину текущих подходов к оценке качества полупроводниковых Si-приборов, используемых для них методик, и создать методики основанные на отказах, специфичных уже для GaN-продуктов, с учетом их энергий активации и коэффициентов ускорения испытаний. Предлагаемый подход включает также оценку качества и надежности GaN-транзисторов, делая акцент на их использовании применительно к конкретным приложениям. Это выполняется путем их тестирования на специальном испытательном стенде, с подключением транзисторов в виде ключа с индуктивной нагрузкой, а также их испытаний в реальных конфигурациях конечного продукта. Узнать больше о решениях для продуктов на основе GaN, выпускаемых TI, можно на сайте [13].

Литература

1. S. Singhal et. al. Qualification and Reliability of a GaN Process Platform. CS MANTECH Conference. 2007.
2. JEDEC Standard JESD47I "Stress-Test-Driven Qualification of Integrated Circuits". July, 2012.
3. JEDEC Standard JESD22-A108D "Temperature, Bias, and Operating Life". Nov., 2010.
4. AEC-Q100, Rev. H. "Failure Mechanism based Stress Test Qualification for Integrated Circuits". Sept., 2014.
5. AEC-Q101, Rev. D1. "Failure Mechanism based Stress Test Qualification for Discrete Semiconductors in Automotive Applications". Sept., 2013.
6. JEDEC Standard JESD85 "Methods for Calculating Failure Rates in Units of FITs". July, 2001.
7. JEDEC Standard JESD94A "Application Specific Qualification Using Knowledge Based Test Methodology". Sept., 2011.
8. E. Zanoni et. al. AlGaN/GaN-Based HEMTs Failure Physics and Reliability: Mechanisms Affecting Gate Edge and Schottky Junction // IEEE Transactions on Electron Devices. V. 60. № 10. 2013.
9. J. Joh, N. Tipirneni, S. Pendharkar, S. Krishnan. Current Collapse in GaN Heterojunction Field Effect Transistors for High-voltage Switching Applications // International Reliability Physics Symposium (IRPS). 2014.
10. O. Hilt et. al. Impact of Buffer Composition on the Dynamic On-State Resistance of High-Voltage AlGaN/GaN HFETs // International Symposium on Power Semiconductor Devices and ICs. 2012.
11. S. R. Bahl and M. D. Seeman. New Electrical Overstress and Energy Loss Mechanisms in GaN Cascodes // Applied Power Electronics Conference (APEC). Session T25. 2015.
12. I. Kizilyalli et. al. High Voltage Vertical GaN p-n Diodes With Avalanche Capability // IEEE Transactions on Electron Devices. V. 60. № 10. 2013.
13. www.ti.com/GaN