

# Динамические и статические характеристики SiC MOSFET

## при параллельном включении

Нюансы, связанные с параллельной работой высокоскоростных приборов SiC MOSFET, по сравнению с кремниевыми ключами исследованы очень слабо. В статье рассматриваются особенности параллельного включения карбидокремниевых (SiC) полевых транзисторов. Изучаются параметры, влияющие на статическое и динамическое распределение токов данных устройств, исследована зависимость этих параметров от температуры полупроводника. Разность температур параллельных модулей MOSFET была экспериментально измерена в преобразователе SEPIC при различных сопротивлениях резистора затвора и разных частотах коммутации. Полученные результаты показывают, что токи и температуры могут быть хорошо сбалансированы для последнего поколения SiC MOSFET при низком сопротивлении затвора.

Ганьджао Ванг  
(Ganguao Wang)

Джон Моокен  
(John Mookken)

Джулиус Рик (Julius Rice)

Марчело Шупбах  
(Marcelo Schupbach)

Перевод:  
Евгений Карташов

Андрей Лебедев

cree@macrogroup.ru

### Введение

Параллельное включение кремниевых MOSFET- и IGBT-модулей является обычной практикой и хорошо изучено в различных приложениях [1–3]. Однако в отношении SiC MOSFET доступно не так много информации. Поскольку карбидокремниевые транзисторы являются сравнительно новыми и используются, в основном, в маломощных схемах, у разработчиков есть большое желание включить их в параллель для повышения мощности. По сравнению с коммерчески доступными модулями SiC MOSFET [4], можно отметить следующие преимущества параллельного использования дискретных приборов:

- Тепло, выделяемое несколькими параллельными дискретными приборами, может быть более равномерно распределено по радиатору. Это снижает

перегрев чипов и уменьшает градиент температуры между кристаллами и окружающей средой.

- Для наращивания мощности можно включить в параллель два или более модулей, в зависимости от конкретного применения.
- Параллельное соединение является экономически эффективным решением, поскольку стоимость набора дискретных серийных компонентов может быть ниже, чем цена мощных специализированных модулей.

При параллельном включении двух или более SiC MOSFET может возникнуть небаланс токов из-за разброса сопротивлений открытого канала  $R_{ds(on)}$  и пороговых напряжений  $V_{th}$  от образца к образцу. На рис. 1 и 2 показано распределение значений  $R_{ds(on)}$  и  $V_{th}$  для 30 случайно выбранных транзисторов (номинальный ток и напряжение 10 А, 1200 В) второго поколения SiC MOSFET C2M — C2M0160120D [5]

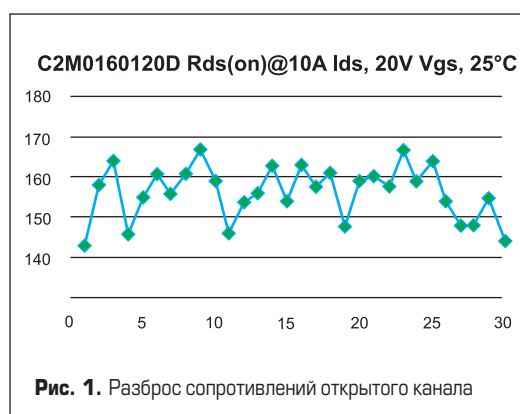


Рис. 1. Разброс сопротивлений открытого канала

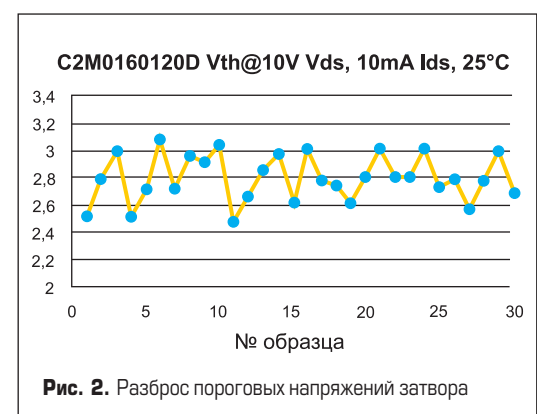
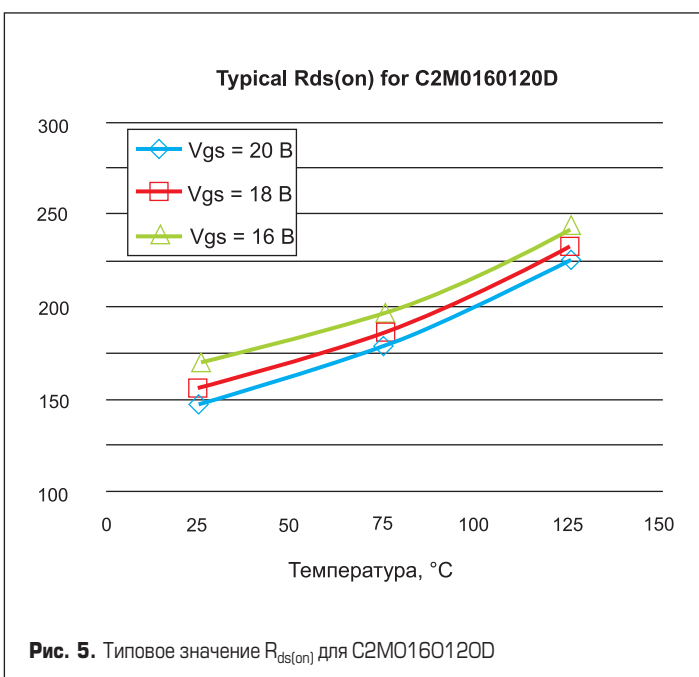
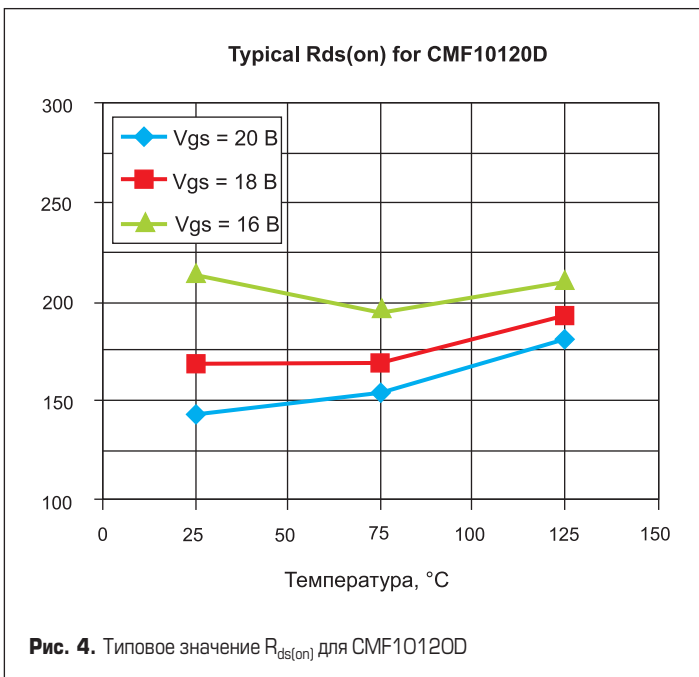
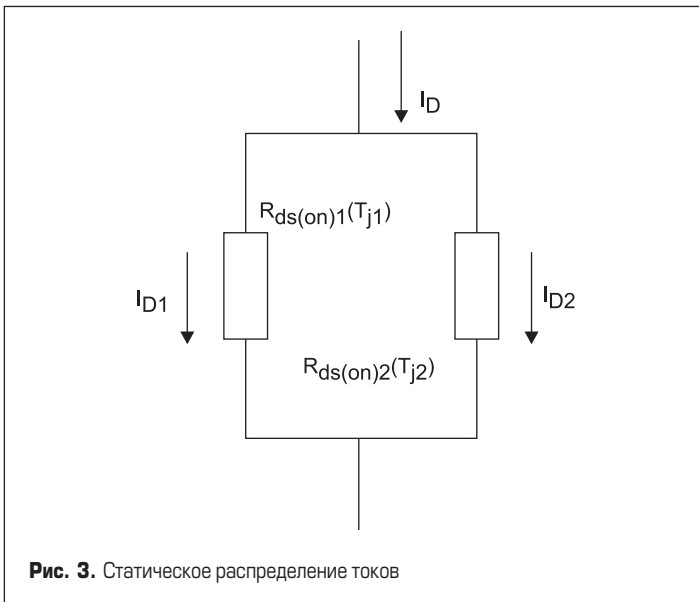


Рис. 2. Разброс пороговых напряжений затвора



при комнатной температуре. Максимальное значение  $R_{ds(on)}$  примерно в один-два раза превышает минимальное (в пределах испытанных 30 образцов), а максимальное пороговое напряжение составляет 3,08 В, что намного больше минимальной величины  $V_{th} = 2,48$  В.

При работе параллельных MOSFET вариации  $R_{ds(on)}$  определяют статическое распределение токов между транзисторами, а разница пороговых напряжений влияет на разброс динамических переходных процессов. Транзистор с меньшим значением  $V_{th}$  включается раньше и выключается позже, чем другие MOSFET с более высоким пороговым напряжением. При анализе параллельной работы транзисторов параметры  $R_{ds(on)}$  и  $V_{th}$  являются критическими, поэтому необходимо исследовать их чувствительность к другим характеристикам полупроводникового прибора, таким как температура кристалла.

В предыдущих работах [7, 8] были предложены решения для балансировки тока в процессе коммутации транзисторов путем добавления дополнительной обратной связи. Такие решения увеличивают стоимость устройства и не могут применяться при параллельном соединении более чем двух ключей. Нашей целью является экспериментальное исследование способности SiC MOSFET к собственной балансировке без добавления каких-либо датчиков или цепей управления. В качестве единственных регулируемых параметров рассматривается напряжение и сопротивление затвора.

В качестве образцов для данного исследования выбраны коммерчески доступные транзисторы 10 А, 1200 В компании Cree первого поколения (Gen-1) CMF10120D [5] и второго поколения C2M SiC MOSFET C2M0160120D [6] с аналогичными номинальными характеристиками. Из каждого поколения для проведения экспериментов и анализа наихудшего случая были выбраны два образца из 30 с наибольшим разбросом величины порогового напряжения.

### Влияние R<sub>ds(on)</sub> на статическое распределение токов

Очевидно, что положительный температурный коэффициент (ПТК) сопротивления открытого канала кремниевых MOSFET способствует выравниванию токов при параллельной работе и помогает исключить условия возникновения теплового убежания для всех MOSFET. Для двух параллельных транзисторов (рис. 3) ток через каждый прибор определяется следующим образом:

$$I_{d1} = \frac{R_{ds(on)2}(T_{j2})}{R_{ds(on)1}(T_{j1}) + R_{ds(on)2}(T_{j2})} \times I_d, \quad (1)$$

$$I_{d2} = \frac{R_{ds(on)1}(T_{j1})}{R_{ds(on)1}(T_{j1}) + R_{ds(on)2}(T_{j2})} \times I_d. \quad (2)$$

MOSFET с максимальным значением  $R_{ds(on)}$  будет проводить минимальный ток.

Как и у кремниевых полевых транзисторов, сопротивление канала  $R_{ds(on)}$  SiC MOSFET также имеет ПТК (рис. 4 и 5). Модуль с большей температурой кристалла проводит меньший ток при параллельном соединении, в результате чего достигается тепловое равновесие. Однако у SiC MOSFET температурная зависимость  $R_{ds(on)}$  не так сильна, как у кремниевых транзисторов. Как отмечено в [9], величина  $R_{ds(on)}$  при температуре +150 °C в 2,6 раза превышает  $R_{ds(on)}$  при температуре +25 °C для типового Si CoolMOS с рабочим напряжением 600 В. У SiC MOSFET эти значения различаются всего в 1,2 раза для CMF10120D и примерно в 1,5 раза для C2M0160120D.

Сопротивление открытого канала SiC MOSFET сильно зависит от  $V_{th}$ , как показано на рис. 4. При напряжении на затворе 16 В для CMF10120D величина  $R_{ds(on)}$  даже демонстрирует отрицательный температурный коэффициент (НТК). Это объясняется тем, что сопротивление MOSFET, в основном, состоит из трех компонентов: сопротивление канала ( $R_{ch}$ ) с НТК; сопротивление JFET области ( $R_{jft}$ ) с ПТК и сопротивление дрейфовой области ( $R_{drift}$ ), которое также имеет ПТК. При малом напряжении на затворе составляющая  $R_{ch}$  становится доминирующей, поэтому общее сопротивление также приобретает НТК.

Сопротивление канала C2M0160120D демонстрирует более сильную температурную зависимость  $R_{ds(on)}$  благодаря улучшенной характе-

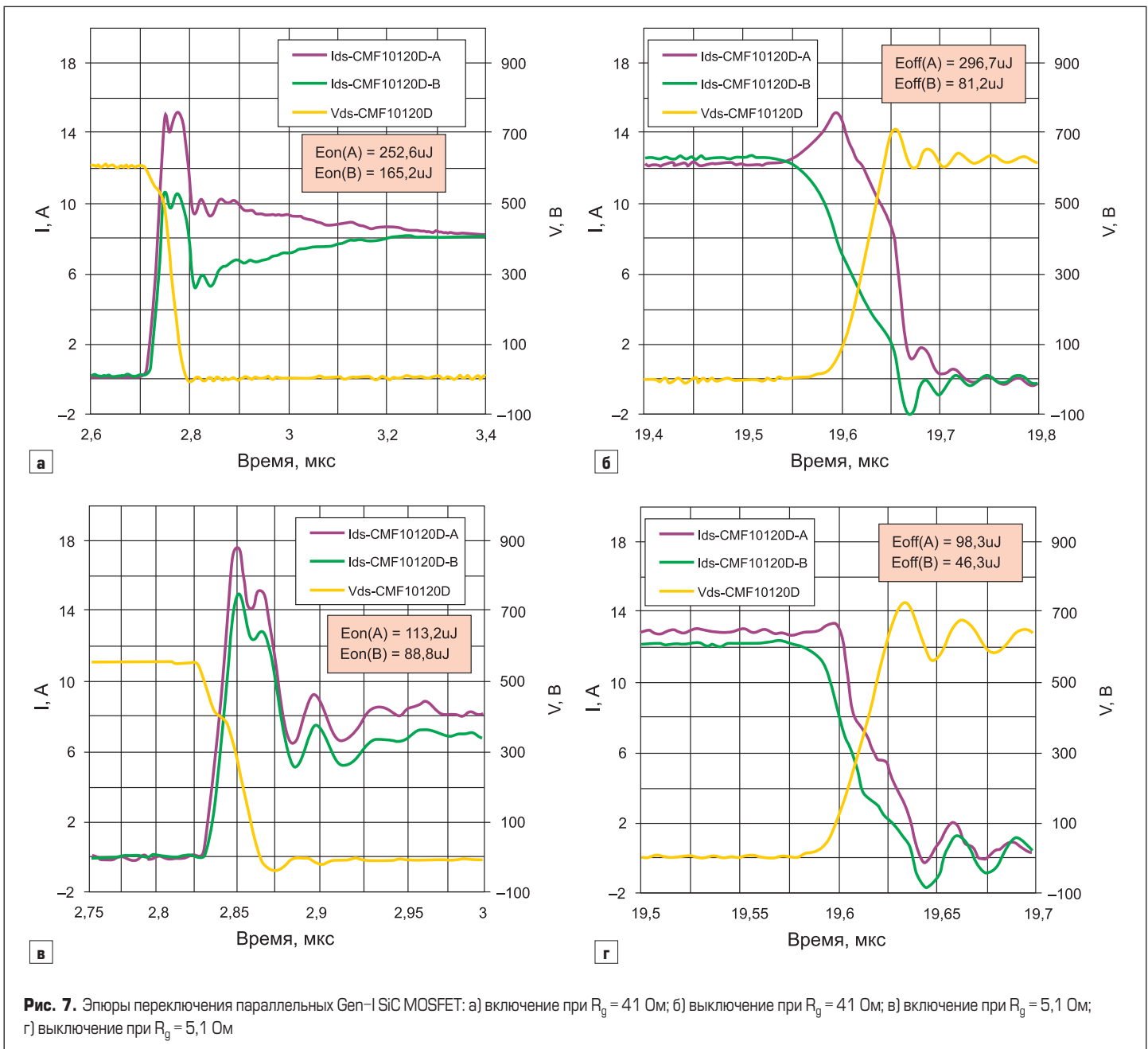
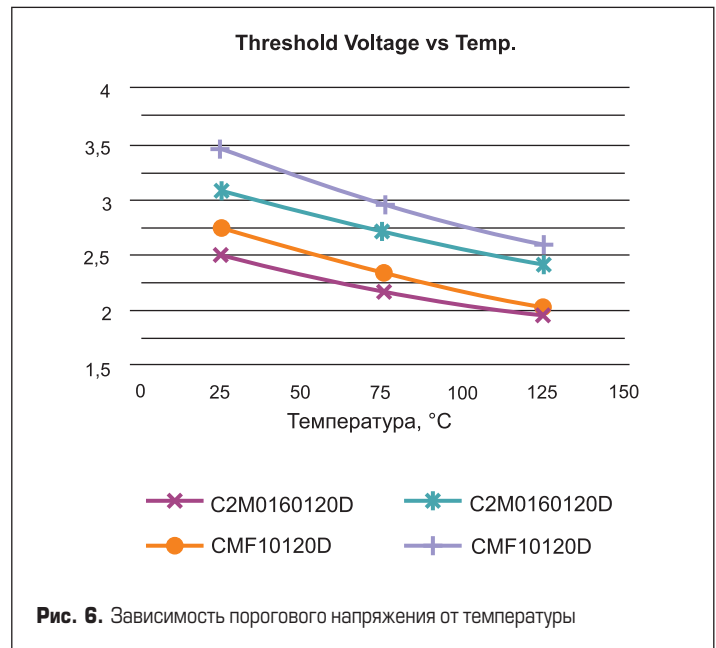
**Таблица 1.** Пороговое напряжение и сопротивление открытого канала

Образец	$V_{th}$ , В	$R_{ds(on)}$ , мОм
CMF10120D-A	2,74	133
CMF10120D-B	3,50	144
C2M0160120D-A	2,48	146
C2M0160120D-B	3,08	161

ристике канальной проводимости (рис. 5). Таким образом, для обеспечения хорошего распределения токов при параллельном соединении, а также снижения потерь в проводящем режиме включения SiC MOSFET следует производить при высоком напряжении  $V_{gs}$ .

**Влияние  $V_{th}$  на динамическое распределение токов**

Без учета коммутационных потерь ток и температура параллельных SiC MOSFET могут быть сбалансированы за счет PTC-характеристики  $R_{ds(on)}$ . К сожалению, динамические потери у параллельных транзисторов с разным пороговым напряжением всегда отличаются. Два образца из 30 с минимальным (образец А) и максимальным (образец В) значением  $V_{th}$  были выбраны для каждого поколения MOSFET — Gen-I и C2M, их параметры при комнатной температуре приведены в таблице 1.



Режимы параллельной работы двух Gen-I MOSFET анализировались для следующих условий:  $V_{ds} = 600$  В, сопротивление затвора  $R_g = 41$  Ом для каждого транзистора, средний суммарный ток  $I_{ds} = 20$  А. На рис. 7а и 7б показаны эпюры сигналов включения и выключения соответственно. Видно, что образец А с меньшим значением  $V_{th}$  включается раньше, чем образец В, и он берет на себя больший ток во время переходного процесса. Его потери при включении (252,5 мкДж) выше, чем у образца В (165,2 мкДж). Во время выключения образец А запирается позже и, соответственно, он имеет большие потери при выключении — 296,7 мкДж против 81,2 мкДж у образца В. Разница коммутационных потерь преобразуется в разницу температур кристаллов. Градиент температуры «кристалл–корпус»  $T_{jc}$  может быть вычислен с помощью формул:

$$P_{sw} = (E_{on} + E_{off}) \times f_{sw} \quad (3)$$

$$T_{jc} = (P_{sw} + P_{con}) \times R_{th(jc)} \quad (4)$$

Образец А будет иметь более высокий перегрев кристаллов, если потери в проводящем режиме и температура радиатора одинаковы для обоих случаев. За счет NTC-характеристики  $V_{th}$  (рис. 6) пороговое напряжение уменьшается при увеличении температуры кристалла. Разница коммутационных потерь также растет, что форми-

рует положительную обратную связь. Однако РТС-характеристика  $R_{ds(on)}$  в какой-то степени помогает скомпенсировать разницу температур.

Важно иметь как можно меньшие различия коммутационных потерь, вызванных вариациями порогового напряжения. Снижение величины  $R_g$  повышает скорость переключения и уменьшает уровень динамических потерь. На рис. 7в и 7г показаны эпюры сигналов включения и выключения для упомянутых выше двух образцов Gen-I с резистором  $R_g = 5,1$  Ом. Коммутационные потери и разница между ними сокращены более чем в два раза по сравнению с предыдущим случаем, соответствующим  $R_g = 41$  Ом.

Аналогичные эксперименты, выполненные для C2M MOSFET (рис. 8), продемонстрировали гораздо меньший уровень динамических потерь и их разброса между модулями. Это связано с тем, что транзистор C2M имеет меньшую площадь кристалла и меньший уровень напряжения  $V_{gcb}$  он может переключаться быстрее, чем MOSFET Gen-I при том же значении  $R_g$ . При более высокой скорости коммутации влияние разброса  $V_{th}$  становится менее значимым. С учетом предыдущих исследований можно сделать вывод, что транзисторы C2M SiC имеют два очевидных преимущества при параллельной работе по сравнению с Gen-I SiC MOSFET. Во-первых, у них меньше разброс динамических потерь, вызванных вариациями порогового напряжения, благодаря высокой скорости коммутации. Во-вторых,

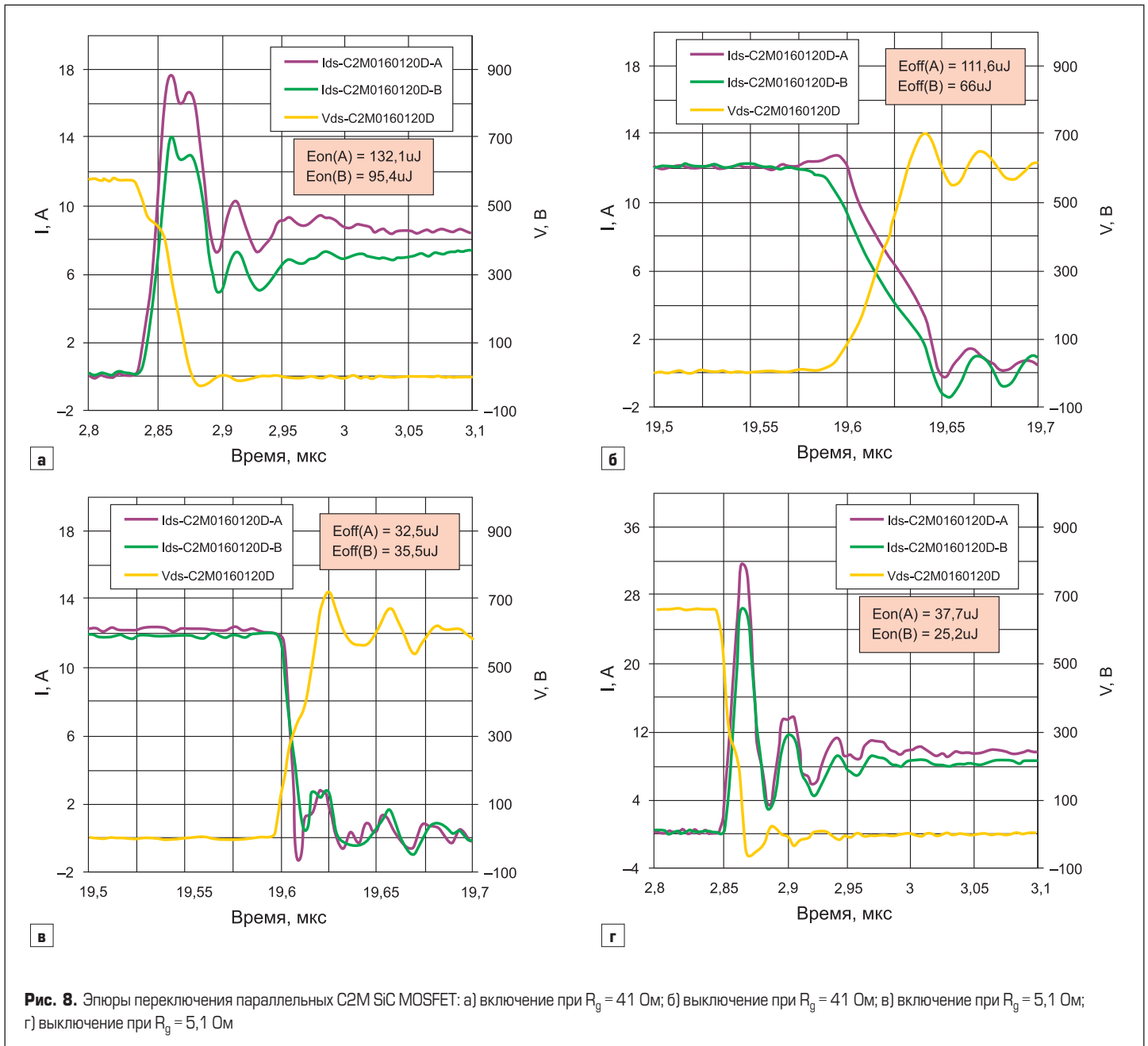


Рис. 8. Эпюры переключения параллельных C2M SiC MOSFET: а) включение при  $R_g = 41$  Ом; б) выключение при  $R_g = 41$  Ом; в) включение при  $R_g = 5,1$  Ом; г) выключение при  $R_g = 5,1$  Ом

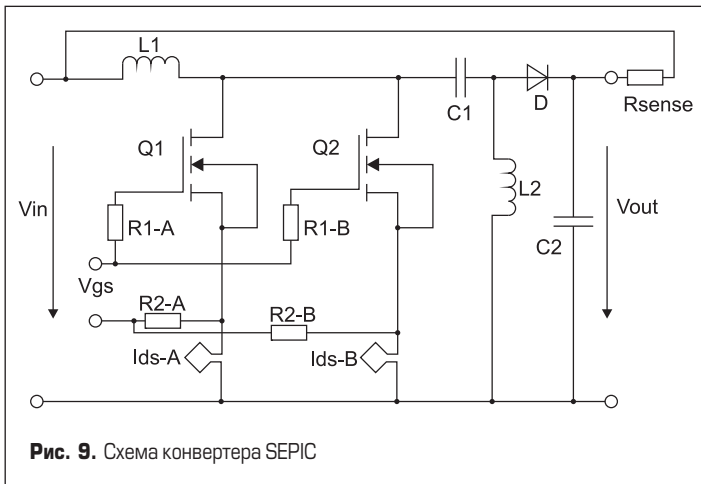


Рис. 9. Схема конвертера SEPIC

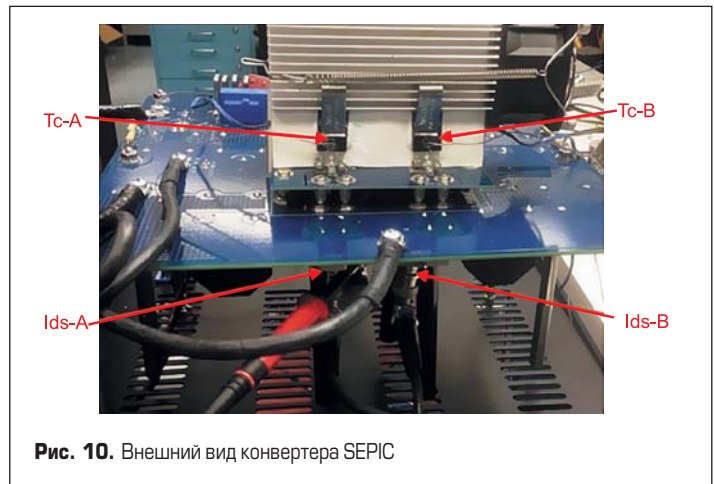


Рис. 10. Внешний вид конвертера SEPIC

более сильная РТС-зависимость сопротивления канала способствует лучшей балансировке температуры кристаллов, определяемой коммутационными потерями.

**Экспериментальные исследования параллельной работы MOSFET в конвертере SEPIC**

Для безопасной работы параллельных MOSFET температура их кристаллов должна отличаться как можно меньше. Образцы с большим значением порогового напряжения, упомянутые ранее, были использованы в преобразователе SEPIC (рис. 9) для оценки разницы их температурных зависимостей при разных значениях сопротивления затвора и разных частотах переключения. Схема управления SEPIC имеет фиксированный коэффициент заполнения 50%, поэтому выходное напряжение равно входному, согласно выражению (5):

$$V_{out} = D/(1-D) \times V_{in} \quad (5)$$

В этом случае выходной сигнал поступает на входные клеммы схемы SEPIC. Таким образом, происходит рециркуляция энергии, что ограничивает потребление мощности от внешнего источника питания и снижает потери преобразователя.

В схеме использованы два резистора R1 и R2 в цепи управления каждого MOSFET, один из них подключен к затвору, а другой — к истоку транзистора. В такой схеме (рис. 10) ток стока каждого ключа проходит через вывод истока в цепь заземления, где установлен резистивный датчик тока, что позволяет независимо измерять ток обоих MOSFET.

Напряжение питания установлено на уровне 600 В, ток циркуляции составляет 10 А, что соответствует мощности 6 кВт для всех экспериментов. Для каждого поколения MOSFET было проведено четыре теста при следующих условиях:

- $R_g = 41 \text{ Ом}, f = 30 \text{ кГц};$
- $R_g = 41 \text{ Ом}, f = 100 \text{ кГц};$
- $R_g = 5,1 \text{ Ом}, f = 30 \text{ кГц};$
- $R_g = 5,1 \text{ Ом}, f = 100 \text{ кГц}.$

Указанные величины  $R_g$  относятся к обоим сопротивлениям R1 и R2. Измеренные значения коммутационных потерь и температуры корпуса указаны в таблице 2. Формы сигналов переключения на частоте 30 кГц приведены выше.

Результаты тестов, приведенные в таблице, позволяют сделать некоторые выводы. Во-первых, выбор меньшего значения  $R_g$  или меньшей частоты переключения позво-

Таблица 2. Динамические потери MOSFET и температура корпуса при различных условиях испытаний

	$R_g, \text{ Ом}$	$f_{sw}, \text{ кГц}$	$P_{sw-A}, \text{ Вт}$	$P_{sw-B}, \text{ Вт}$	$T_{c-A}, \text{ }^\circ\text{C}$	$T_{c-B}, \text{ }^\circ\text{C}$	$\Delta T_{cr}, \text{ }^\circ\text{C}$
CMF10120D	41	30	16,5	7,4	63,0	41,9	21,1
		100	57,9	24,2	119	67,7	51,3
	5,1	30	6,3	4,1	43,7	37,5	6,2
		100	21,4	14,0	64,5	51,5	13,0
C2M0160120D	41	30	7,3	4,8	49,2	41,6	7,6
		100	23,9	16,3	72,1	58,4	13,7
	5,1	30	2,1	1,8	44,0	38,3	5,7
		100	6,8	6,1	55,6	46,6	9,0

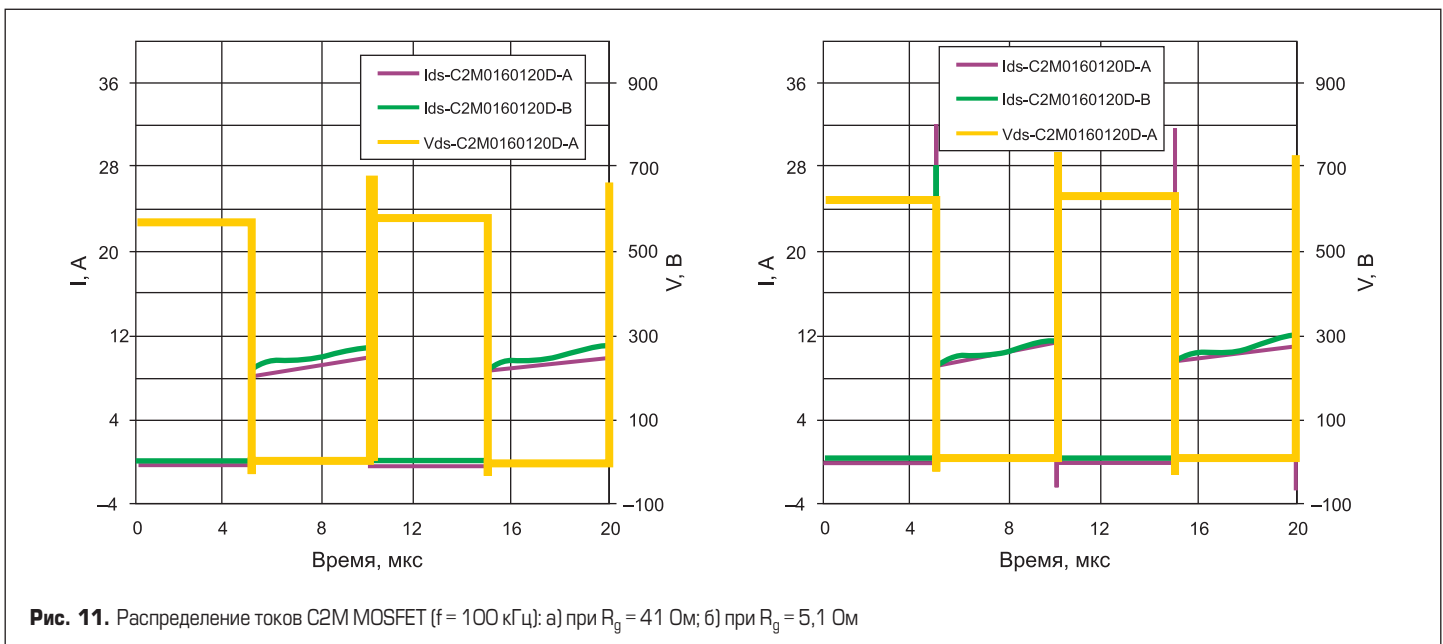


Рис. 11. Распределение токов C2M MOSFET (f = 100 кГц): а) при  $R_g = 41 \text{ Ом}$ ; б) при  $R_g = 5,1 \text{ Ом}$

ляет снизить динамические потери и градиент температур для образцов А и В. Во-вторых, транзистор C2M MOSFET (10 А, 1200 В) демонстрирует меньшую разность температур корпуса по сравнению с MOSFET Gen-I (10 А, 1200 В) при тех же условиях испытаний. В-третьих, параллельное соединение SiC MOSFET при использовании низкого значения  $R_g$ , как правило, можно выполнять непосредственно, без добавления дополнительного контура балансировки. На рис. 11 показаны формы сигналов переключения для двух C2M SiC MOSFET при  $f = 100$  кГц и сопротивлении затвора 41 Ом и 5 Ом соответственно. Большая разница статических токов на рис. 11а объясняется более высокой разностью температур кристаллов.

### Заключение

На основании приведенного анализа параллельной работы SiC MOSFET можно сделать следующие выводы:

- $R_{ds(on)}$  и  $V_{th}$  — два основных параметра, определяющих статическое и динамическое распределение токов параллельных MOSFET.
- Использование высокого напряжения управления затвором позволяет уменьшить потери в проводящем режиме.
- Уменьшение сопротивления затвора может улучшить динамическое распределение токов и снизить разницу потерь переключения.
- C2M SiC MOSFET лучше подходят для параллельного включения, чем Gen-I SiC MOSFET с таким же номинальным током.

При проведении описанных выше испытаний использовалась печатная плата с симметричными трассами для подключения параллельных SiC MOSFET, что позволило свести к минимуму паразитную индуктивность соединительных цепей. Однако в ряде случаев очень трудно обеспечить симметричную топологию соединений, при этом цепи подключения параллельных транзисторов будут иметь различные значения распределенной индуктивности. Было бы интересно исследовать, как это

влияет на поведение SiC MOSFET в процессе переключения, этот вопрос является предметом дальнейшей работы.

### Литература

1. [www.irf.com/technical-info/appnotes/para.pdf](http://www.irf.com/technical-info/appnotes/para.pdf)
2. Lopez T., Elferich R. Current Sharing of Paralleled Power MOSFETs at PWM Operation // Proc. on the 37th IEEE Power Electronics specialists. PESC 06. Vol. 1. № 1. 18-22 June, 2006.
3. Palmer P. R., Joyce J. C. Current Redistribution in Multi-chip IGBT Modules Under Various Gate Drive Conditions // Proceedings of the Power Electronics and Variable Speed Drives. London. September, 1998.
4. Wang G., Wang F., Gari M., Yang L., Alex H., Mrinal D. Performance comparison of 1200V 100A SiC MOSFET and 1200V 100A silicon IGBT // Energy Conversion Congress and Exposition (ECCE). Sept, 2013.
5. [www.cree.com/~media/Files/Cree/Power/Data%20Sheets/CMF10120D.pdf](http://www.cree.com/~media/Files/Cree/Power/Data%20Sheets/CMF10120D.pdf)
6. [www.cree.com/~media/Files/Cree/Power/Data%20Sheets/C2M0160120D.pdf](http://www.cree.com/~media/Files/Cree/Power/Data%20Sheets/C2M0160120D.pdf)
7. Chimento F., Raciti A., Cannone A., Musumeci S., Gaito A. Parallel connection of super-junction MOSFETs in a PFC application // Energy Conversion Congress and Exposition. 2009.
8. Yang X., Junjie L., Zhiqiang W., Leon M. T., Benjamin J. B., Fred W. Active current balancing for parallel-connected silicon carbide MOSFETs // Energy Conversion Congress and Exposition. 2013.
9. Zheng Chen, Boroyevich D., Burgos R., Wang F. Characterization and modeling of 1.2 kv, 20 A SiC MOSFETs // Energy Conversion Congress and Exposition. 2009.
10. [www.wolfspeed.com/~media/Files/Cree/Power/Articles%20and%20Papers/White\\_Paper\\_Dynamic%20and%20Static%20Behavior%20of%20Packaged%20Silicon.pdf](http://www.wolfspeed.com/~media/Files/Cree/Power/Articles%20and%20Papers/White_Paper_Dynamic%20and%20Static%20Behavior%20of%20Packaged%20Silicon.pdf)