

# SOI — технология интегральных драйверов IGBT

**Интеллектуальные силовые модули (IPM — Intellectual Power Module) широко используются в приводах, источниках питания и многих других преобразовательных устройствах. Диапазон мощностей данных применений достаточно большой: от сотен ватт в миниатюрных приводах до мегаватт в энергетических установках. Миниатюрные интеллектуальные ключи киловаттного класса могут быть реализованы с помощью твердотельных драйверов, встраиваемых в IGBT-модули. Новая технология производства интегральных устройств управления транзисторами с рабочим напряжением 600 и 1200 В получила название SOI (Silicon On Insulator или «кремний на изоляторе»). Основными ее преимуществами являются полное подавление эффекта защелкивания, высокий иммунитет к наведенным помехам обеих полярностей и хорошие тепловые характеристики. Усовершенствованная микросхема SOI-драйвера, представленная SEMIKRON в 2014 г., обеспечивает отрицательный сигнал выключения затвора и защиту по выходу из насыщения (Desat) каждого из шести ключей инвертора. Представленные в статье результаты измерений статических и динамических характеристик подтверждают высокие эксплуатационные возможности драйвера.**

**Бастиан Воглер  
(Bastian Vogler)**

**Рейнхард Херцер  
(Reinhard Herzer)**

**Свен Бьютов  
(Sven Buetow)**

**Сусанна Бекер  
(Susanne Becker)**

**Перевод и комментарии:  
Андрей Колпаков**

Andrey.Kolpakov@semikron.com

**И**нтелектуальные модули IGBT конфигурации CIB (выпрямитель-инвертор-тормозной каскад), предназначенные для применения в промышленных приводах средней мощности, ориентированы на массовое производство. Основными требованиями, предъявляемыми к подобным компонентам, являются минимальная стоимость готовой продукции, низкие массо-габаритные показатели, высокая надежность и максимальный уровень функциональной насыщенности.

Несмотря на то, что маломощные интегральные драйверы широко представлены на рынке, стандартная технология PN-изоляции обладает рядом принципиальных проблем, связанных с образованием паразитной триггерной структуры. Ее наличие приводит к так называемому «защелкиванию», т. е. закорачиванию цепей питания выходных каскадов при воздействии коммутационных всплесков напряжения отрицательной полярности или при критических скоростях переключения  $dv/dt$ . Паразитные связи можно частично подавить путем применения различных технологических и схемотехнических мер, однако полностью снять проблему защелкивания до настоящего времени не удавалось. Кроме того, токи утечки высоковольтных PN-структур увеличиваются примерно в 4 раза с ростом температуры на каждые 10 °С, что приводит к саморазогреву кристаллов и активному сокращению их ресурса.

Как показано в работах [3, 4], интегральные драйверы затворов, созданные на основе высоковольтной технологии SOI-CMOS (рис. 1), лишены большинства недостатков обычных твердотельных микросхем, имеющих полупроводниковую изоляцию. Они обеспечивают абсолютный иммунитет к защелкиванию, а диапазон рабочих температур может быть расширен до 200 °С [5], что позволяет устанавливать SOI-микросхемы непосредственно на подложку силового модуля [6]. Новая концепция сдвига уровня позволяет драйверу надежно работать при высоком уровне наведенных на выходной каскад помех (до -30 В [7]). Управление ключами с рабочим напряжением 1200 В может быть реализовано каскадным соединением 600-В каскадов [8].

Усовершенствованный твердотельный SOI-драйвер обладает расширенной функциональностью. Для повышения надежности работы системы при токовых перегрузках осуществляется мониторинг напряжения насыщения  $V_{CE(sat)}$  для каждого ключа трехфазного инвертора. Кроме того, новая микросхема формирует отрицательное напряжение выключения затвора, что необходимо для предотвращения ложного срабатывания закрытого IGBT при коммутации больших токов и для уменьшения коммутационных потерь.

Разработка 600-В технологии SOI-CMOS позволила полностью подавить эффект защелкивания,

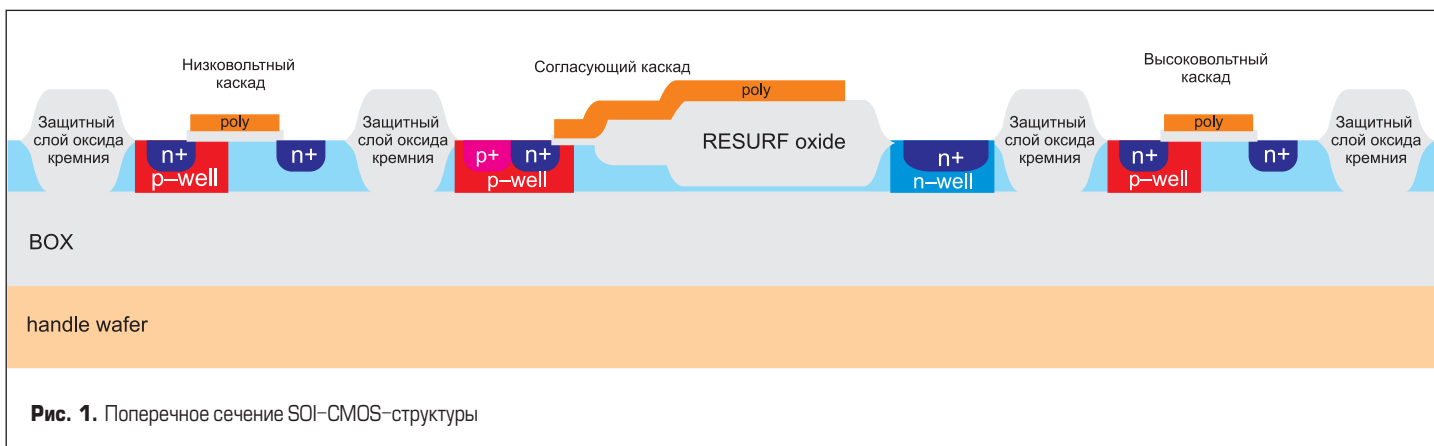


Рис. 1. Поперечное сечение SOI-CMOS-структуры

поскольку в структуре SOI все активные элементы диэлектрически изолированы и образование паразитных структур исключено (рис. 1). Каскады CMOS нижнего и верхнего уровня, построенные на базе квазимонолитных транзисторов, изолируются окружающими их кремниевыми дорожками (LOCOS). Это позволяет не только подавить паразитные цепи, но и резко снизить токи утечки, а также расширить диапазон рабочих температур микросхемы до 200 °С [6]. Толщина активного слоя кремния достаточно велика, чтобы предотвратить утечку заряда с нижней стороны чипа на верхнюю.

На рис. 2 показана блок-схема 7-канального драйвера затворов, предназначенного для управления трехфазным инвертором с рабочим напряжением 600 В. Седьмой канал может быть использован в качестве тормозного каскада или корректора коэффициента мощности (KKM или PFC). Управляющие сигналы от микроконтроллера (LIN1..4, HIN1..3)

обрабатываются входными низковольтными каскадами (подавление коротких/шумовых импульсов, interlock — запрет на одновременное открывание IGBT-полумоста, формирование «мертвого времени», усиление) и через согласующие каскады передаются на выходные усилители BOT1...4, а через высоковольтные каскады сдвига уровня — на усилители TOP1...3. Во вторичных цепях драйвера производятся восстановление, фильтрация и усиление импульсов управления затворами IGBT.

Схема защиты отключает выходные транзисторы при падении напряжения питания драйвера ниже заданного порога (защита UVLO — Under Voltage LockOut). Источники опорного напряжения для работы схемы мониторинга UVLO и схемы сброса интегрированы в выходные каскады каждого канала верхнего уровня. Двухнаправленный вывод /RESET формирует сигнал о готовности модуля к работе после включения питания и инициализации. Он же может

быть использован для сброса и перезапуска драйвера.

Каждый из каналов TOP имеет отдельную схему сдвига потенциала и формирования «мертвого времени», а также узел мониторинга рабочих напряжений верхнего плеча UVLO. Такая возможность особенно полезна в случае, когда питание обеспечивается бустрепными конденсаторами.

Выходы управления затворами обеспечивают ток включения/выключения 1,4/1,4 А при напряжении +15/-5 В. Этого достаточно для управления MOSFET/IGBT-транзисторами с током коллектора до нескольких десятков ампер. Драйвер может работать при напряжении питания в диапазоне 10–17 В, время задержки сигнала составляет около 300 нс.

По сравнению с интегральными микросхемами с PN-изоляцией расстояние между каскадами верхнего и нижнего уровня в SOI-драйверах может быть гораздо меньше благодаря наличию диэлектрических защитных слоев.

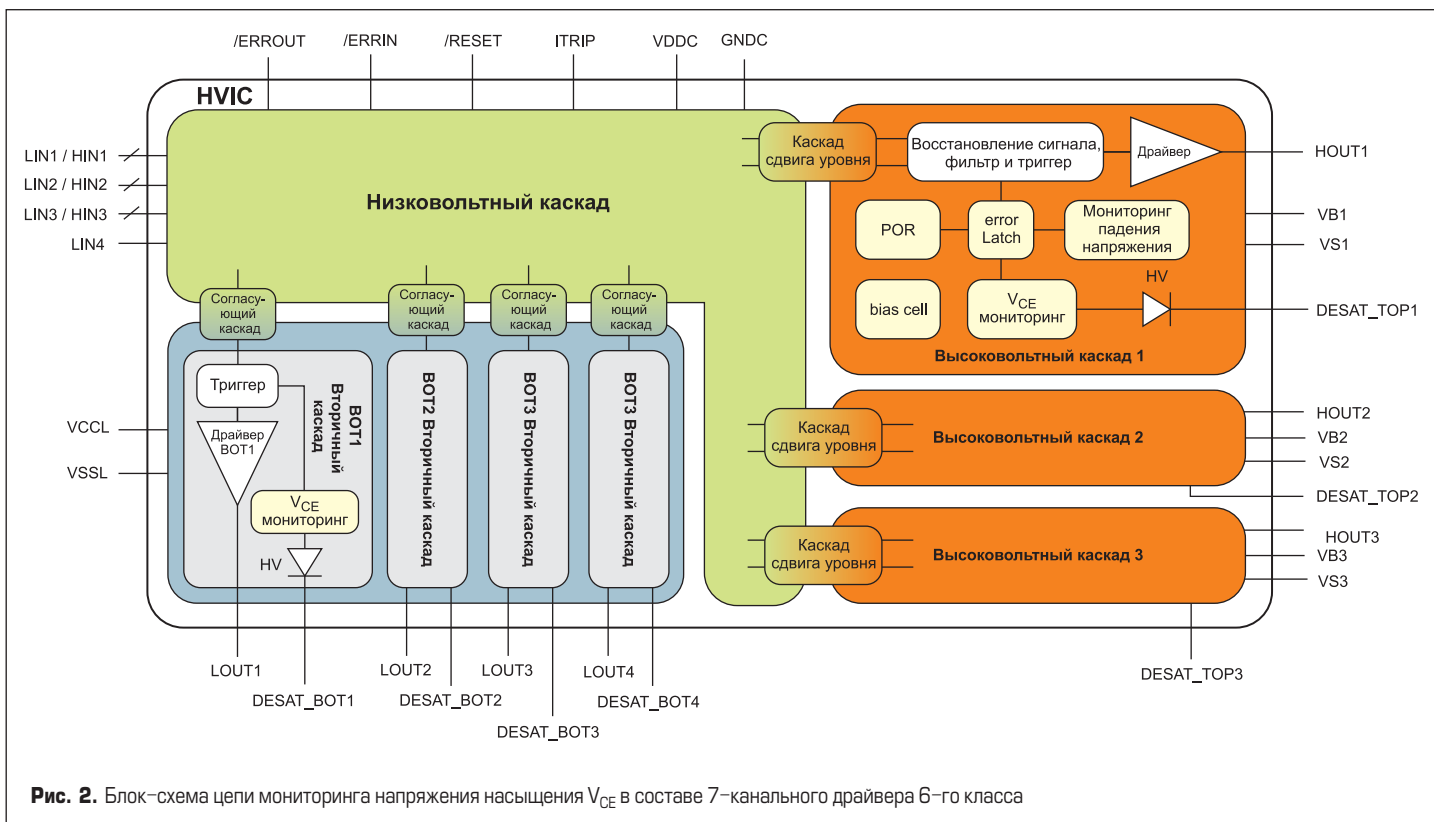
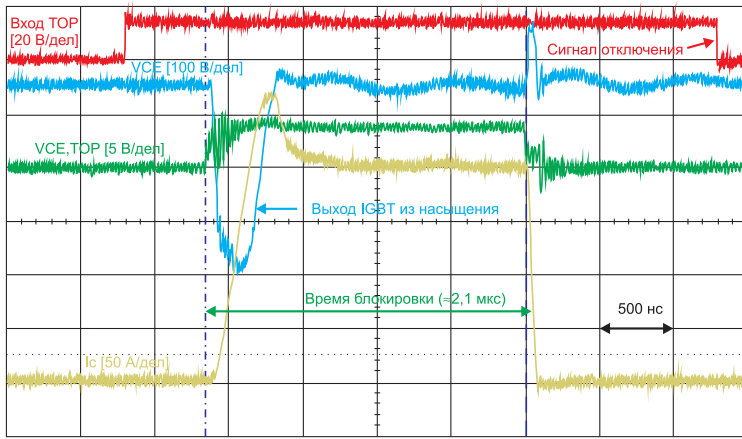
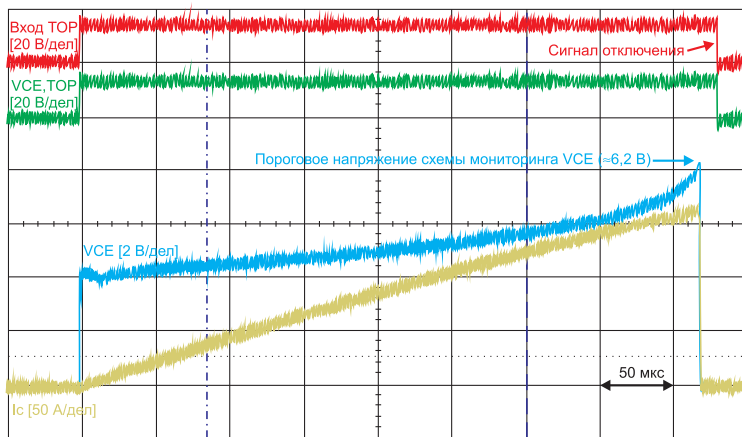


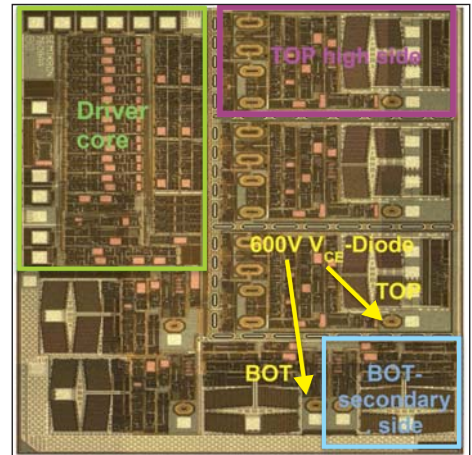
Рис. 2. Блок-схема цепи мониторинга напряжения насыщения  $V_{CE}$  в составе 7-канального драйвера б-го класса



**Рис. 4.** «Жесткое» короткое замыкание IGBT (600 В, 50 А); схема мониторинга  $V_{CE(sat)}$  отключает транзисторы после истечения времени блокировки  $t_{bj} = 2,1 \text{ мкс}$  ( $V_{DC} = 500 \text{ В}$ ,  $T_j = 25 \text{ }^\circ\text{C}$ )



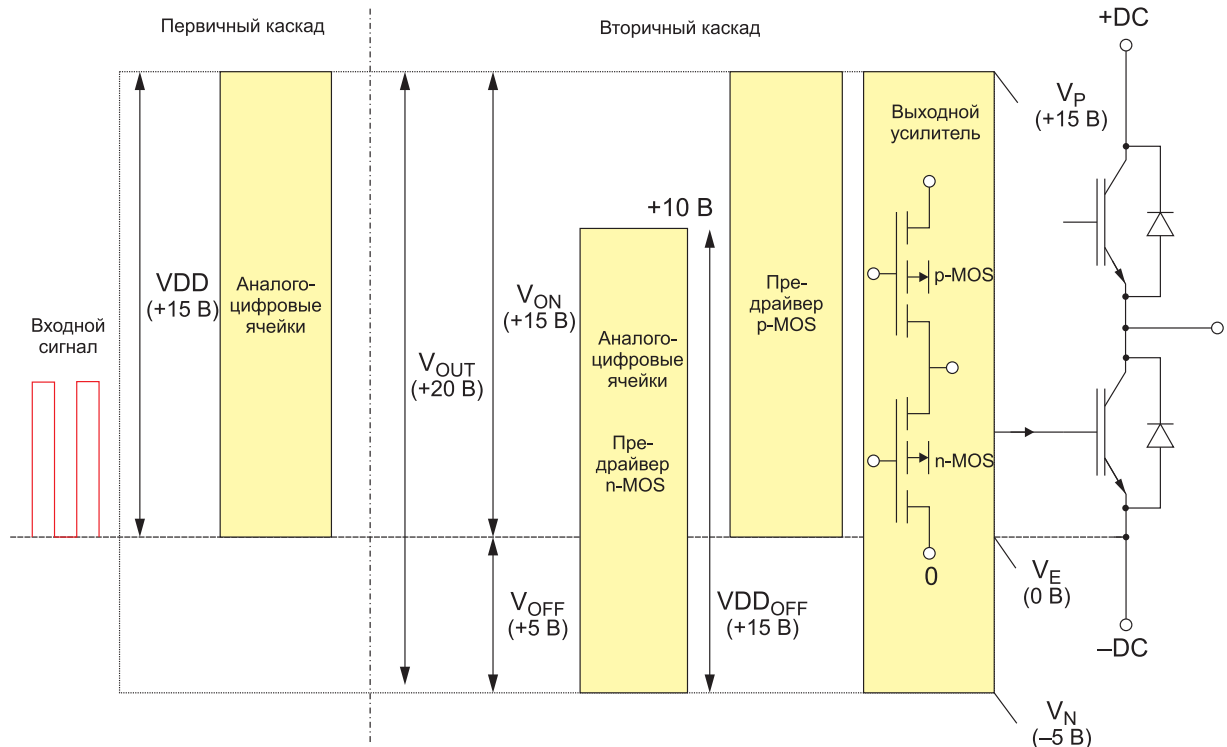
**Рис. 5.** «Мягкое» короткое замыкание ( $L_{sc} = 200 \text{ мкГн}$ ) IGBT; схема мониторинга отключает транзисторы при  $V_{CE(sat)} = 6,2 \text{ В}$  ( $V_{DC} = 300 \text{ В}$ ,  $T_j = 25 \text{ }^\circ\text{C}$ )



**Рис. 3.** Топология 7-канального (600 В/1,4 А) интегрального SOI-CMOS-драйвера с функцией мониторинга  $V_{CE(sat)}$  (размер чипа 4,6×4,1 мм)

Устойчивость дифференциальных каскадов сдвига уровня к воздействию наведенных напряжений обеих полярностей была подтверждена экспериментально. Схема продолжает устойчиво работать при смещении наведенным сигналом до  $-45 \text{ В}$  (канал нижнего уровня) и  $-20 \text{ В}$  (канал верхнего уровня).

Цепь мониторинга  $V_{CE(sat)}$  каждого транзистора BOT- и TOP-каналов интегрирована во вторичные каскады. Она предназначена для блокирования IGBT в случае короткого замыкания (КЗ). В состав схемы входят высоковольтный диод с токоограничивающим сопротивлением, фильтр и компаратор. Кроме того, для отключения состояния перегрузки может использоваться резистив-



**Рис. 6.** Типовая структурная схема интегральной схемы драйвера, напряжение на затворе  $V_{GE} = -5...+15 \text{ В}$

ный токовый шунт, сигнал с которого поступает на вывод ITRIP.

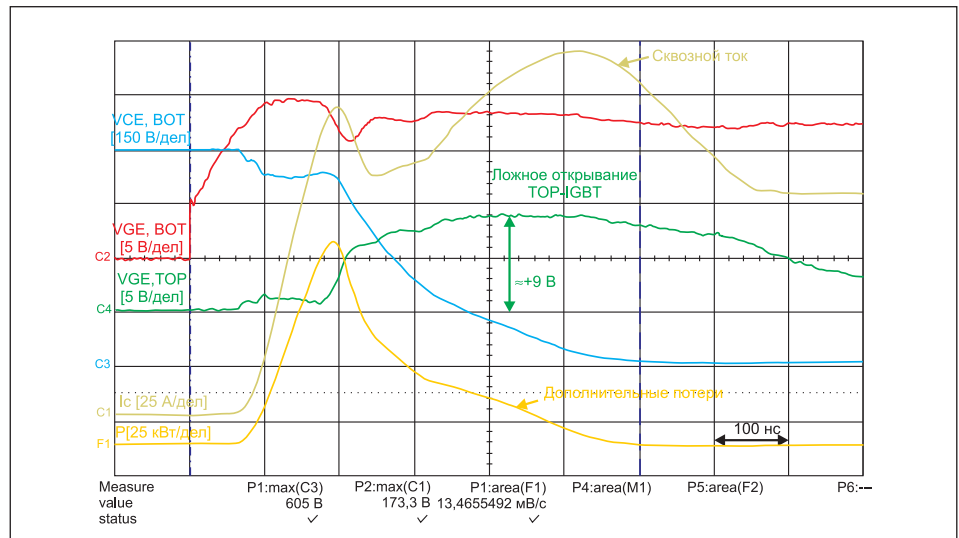
На рис. 3 показан чип 7-канального драйвера, обладающего всеми описанными выше функциями. На фотографии видны низковольтное ядро (Driver core), четыре выходных каскада управления BOT-IGBT, три изолированных высоковольтных узла управления BOT-IGBT с DMOST-каскадами сдвига уровня и диодами, а также высоковольтные диоды ( $V_{CE}$  Diode) схемы мониторинга  $V_{CE(sat)}$  каждого IGBT.

Эпюры отключения IGBT при «жестком» коротком замыкании (низкая индуктивность цепи КЗ, напряжение шины питания  $V_{DC} = 500$  В) приведены на рис. 4. Хорошо видно, что ток КЗ  $I_{SC}$  увеличивается до пятикратного номинального значения (около 260 А), в результате чего транзистор выходит из насыщения. По истечении установленного времени блокировки (примерно 2,1 мкс) драйвер детектирует выход IGBT из насыщения и отключает его. Всплеск напряжения на коллекторе при выключении достигает значения  $V_{CEmax} = 630$  В.

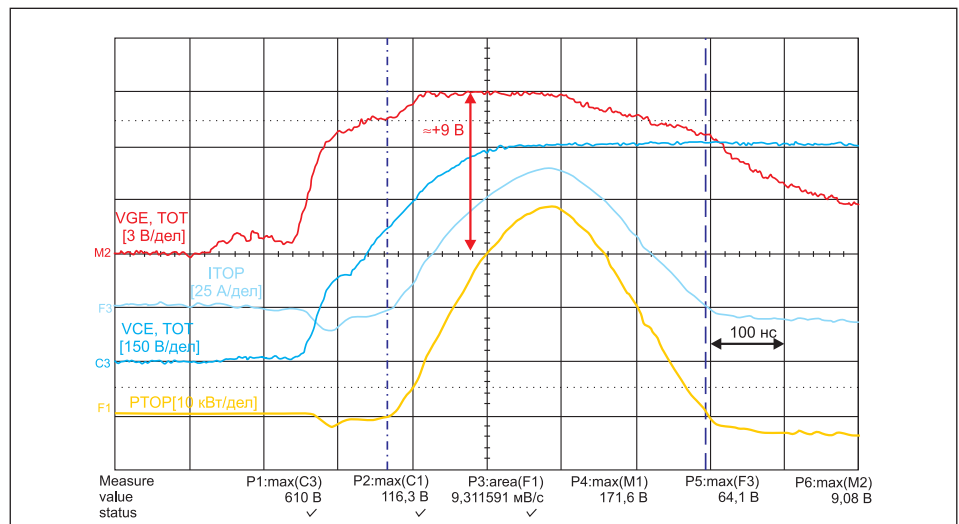
Процесс мониторинга  $V_{CE}$  при «мягком» коротком замыкании (высокая индуктивность цепи КЗ,  $L_{SC} = 200$  мкГн) показан на рис. 5. Ток КЗ увеличивается очень медленно, и порог срабатывания схемы защиты (примерно 6,2 В) достигается спустя 420 мкс.

Структурная схема усовершенствованного твердотельного драйвера, обеспечивающего отрицательное напряжение запирания затвора ( $V_{GEoff} = -5$  В), приведена на рис. 6. Микроконтроллер формирует однополярные импульсы управления, подаваемые на первичный каскад схемы управления IGBT. Низковольтный согласующий каскад (см. рис. 2) преобразует однополярные управляющие сигналы в двуполярные (например,  $V_N = -5$  В). Напряжение на затворе, формируемое выходными каскадами драйвера, может изменяться в диапазоне +10... -5 В при использовании *n*-MOS-транзистора выключения и 0...+15 В для *p*-MOS-транзистора включения. Сама интегральная микросхема имеет достаточно высокую гибкость, она может работать с выходным напряжением -18...+2 В, что годится, например, для контроля SiC-JFET-структур.

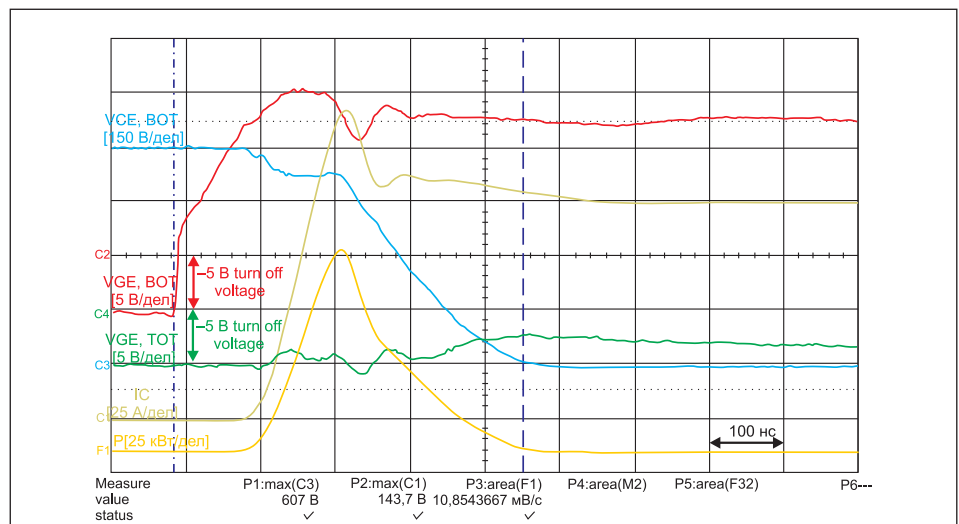
На рис. 7 и 8 представлены осциллограммы переключения верхнего и нижнего плеча (BOT-IGBT и TOP-IGBT) полумостового модуля 12-го класса при напряжении на затворе  $V_{GE} = 0...+15$  В ( $V_{DC} = 600$  В,  $I_C = 100$  А). На рис. 7 ясно видно, что при нормальном включении BOT-IGBT происходит ложное срабатывание IGBT верхнего плеча (TOP). Причиной этого является паразитный ток смещения через емкость Миллера, увеличивающий значение  $V_{GE\_TOP}$  до 9 В (рис. 8); пороговое напряжение отпираания транзистора  $V_{th} = 6,5$  В. Это приводит к появлению сквозного тока, увеличению потерь включения (13,46 мДж) и генерации дополнительных потерь (9,31 мДж) внутри транзистора TOP.



**Рис. 7.** Интегральный драйвер 1200 В с напряжением на затворе  $V_{GE} = 0...+15$  В: включение BOT-IGBT и ложное срабатывание TOP-IGBT; возникновение сквозного тока полумоста ( $V_{DC} = 600$  В,  $I_C = 100$  А,  $T_j = 25$  °С,  $R_G = 10$  Ом,  $E_{on\_BOT} = 13,46$  мДж)



**Рис. 8.** Интегральный драйвер 1200 В с напряжением на затворе  $V_{GE} = 0...+15$  В: напряжение, ток и дополнительные потери при ложном срабатывании TOP-IGBT в процессе включения BOT-IGBT ( $V_{DC} = 600$  В,  $I_C = 100$  А,  $T_j = 25$  °С,  $R_G = 10$  Ом,  $E_{on(TOP)} = 9,31$  мДж)



**Рис. 9.** Интегральный драйвер с напряжением на затворе  $V_{GE} = -5...+15$  В: включение BOT-IGBT; TOP-IGBT остается выключенным ( $V_{DC} = 600$  В,  $I_C = 100$  А,  $T_j = 25$  °С,  $R_G = 10$  Ом,  $E_{on(BOT)} = 10,85$  мДж)



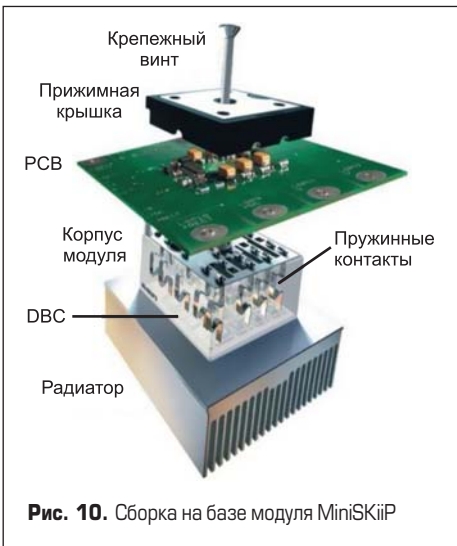


Рис. 10. Сборка на базе модуля MiniSKiiP

Проблема ложного открывания TOP-IGBT решается путем использования отрицательного напряжения запирания ( $V_{Goff} = -5\text{ В}$ ), как показано на рис. 9. Это позволяет сместить наведенный на затвор паразитный сигнал ниже порогового значения и исключить появление сквозного тока. Одновременно существенно снижается энергия потерь (с 22,77 до 10,85 мДж). Эффект от применения отрицательного смещения затвора становится еще более

ощутимым при больших токах коллектора ( $>100\text{ А}$ ), а также при включении нескольких IGBT в параллель.

На рис. 10 показана конструкция инвертора на базе миниатюрного модуля MiniSKiiP в конфигурации CIB (Converter/Inverter/Brake — выпрямитель/инвертор/тормозной каскад). Структурная схема устройства с функцией мониторинга напряжения насыщения  $V_{CE(sat)}$  каждого ключа представлена на рис. 11.

Основными особенностями компонентов серии MiniSKiiP являются отсутствие базовой платы, установка DBC-подложки с кристаллами непосредственно на радиатор и использование пружинных контактов для подключения всех сигнальных и силовых выводов к интерфейсной плате. К важнейшим преимуществам сборки на основе MiniSKiiP можно отнести предельную простоту монтажа, а также высокую стойкость к термоциклированию и механическим воздействиям. На изолирующей DBC-подложке модуля размещены кристаллы выпрямительных и антипараллельных диодов, IGBT, затворные резисторы и датчик температуры. Высокая теплопроводность подложки [6] позволяет установить на ней чип драйвера и подключить его выводы к токонесящим трассам тонкими проводниками (рис. 12).



Рис. 12. Размещение кристаллов на подложке модуля CIB-IPM (600 В, 50 А)

### Каскад сдвига уровня для драйверов 12-го класса

В широко применяемых в настоящее время интегральных драйверах с напряжением 600/1200 В для разделения входных и выходных каскадов используются схемы сдвига уровня, построенные на базе высоковольтных  $p-n$ -переходов. Возможности подобных структур крайне ограничены: отрицательные переходные перенапряжения, наводимые при коммутации токов в паразитных индуктивностях силовых цепей,

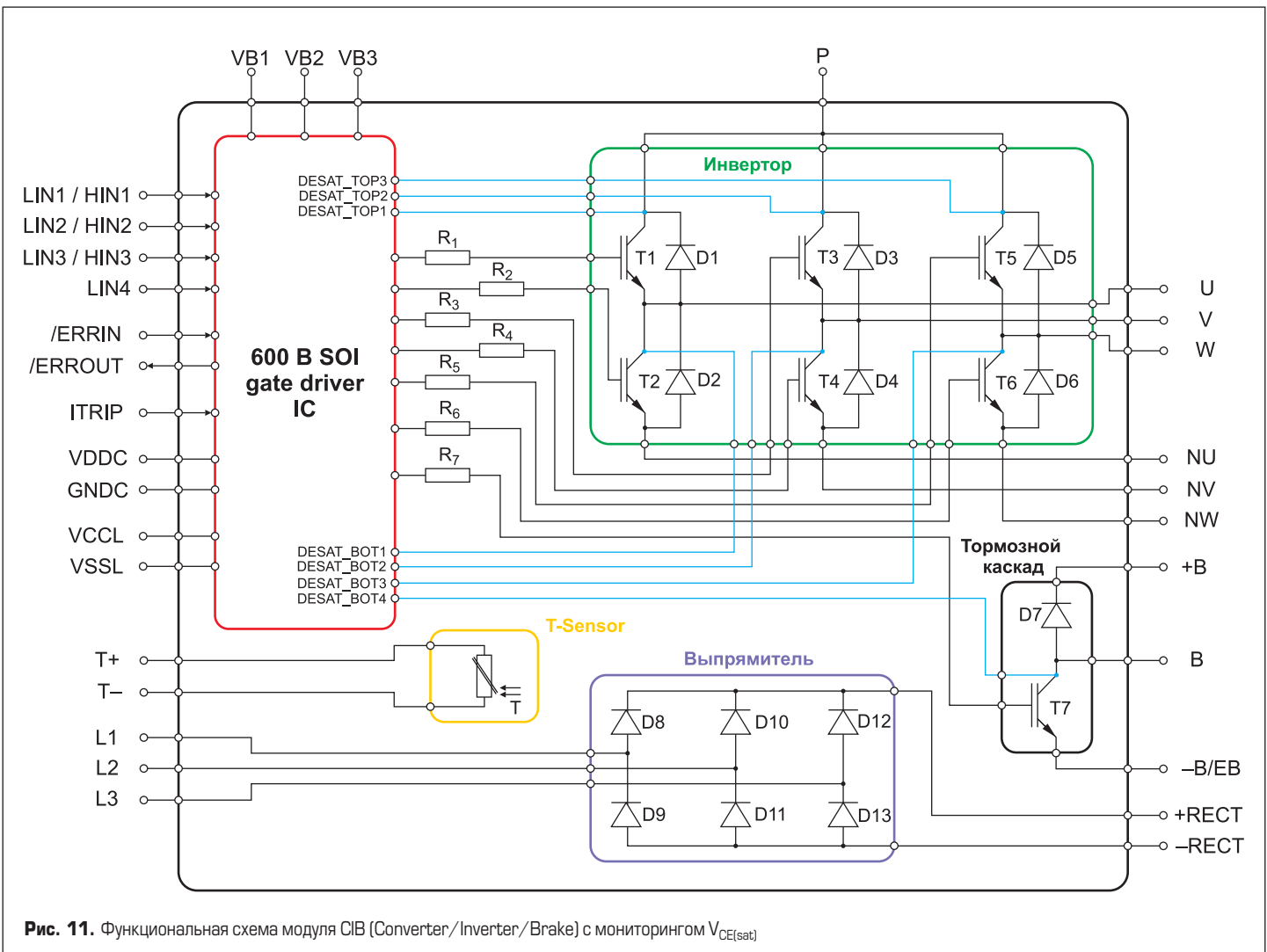


Рис. 11. Функциональная схема модуля CIB (Converter/Inverter/Brake) с мониторингом  $V_{CE(sat)}$

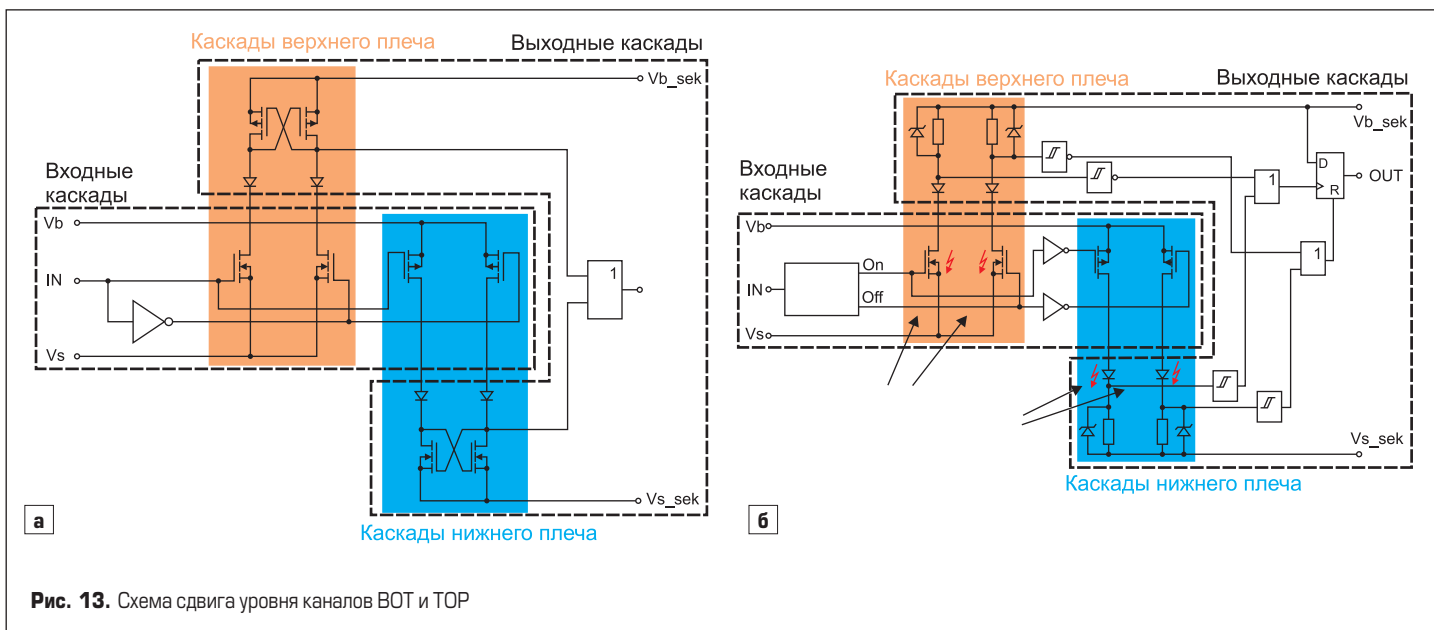


Рис. 13. Схема сдвига уровня каналов BOT и TOP

приводят к защелкиванию паразитных триггерных структур, неизбежно присутствующих в выходных каскадах однокристалльных драйверов.

Упрощенная принципиальная схема усовершенствованного каскада сдвига уровня SOI-драйвера показана на рис. 13. Она состоит из двух независимых комплементарных цепей передачи сигнала, позволяющих осуществлять сдвиг в область положительных и отрицательных напряжений. В отличие от обычного статического CMOS-каскада, схема дополнена высоковольтными диодами в каждом из каналов. В понижающем/повышающем тракте используются две перекрестные параллельные ветви, способные работать в триггерном режиме.

Благодаря диэлектрической изоляции каждого компонента схемы, эффект защелкивания в данном устройстве полностью исключен. Вследствие этого, а также очень высокой степени защищенности затворных цепей от внешних влияний, присущей технологии SOI, каждый из узлов цепи может работать практически при любом потенциале. Максимально допустимое напряжение смещения в данном случае ограничено только напряжением пробоя MOSFET. В зависимости от перепада потенциала между входными и выходными цепями драйвера схема сдвига верхнего или нижнего уровня передает входной сигнал на выходные каскады и далее — на управляемые затворы. Неактивная цепь блокируется с помощью обратносмещенных диодов.

Упрощенная принципиальная схема каскада сдвига уровня в тракте управления транзистором TOP показана на рис. 13,б. Как и в предыдущем случае, она состоит из двух комплементарных каналов верхнего и нижнего уровня. Проблема заключается в том, что не существует достаточно хороших *p*-MOS-транзисторов с напряжением пробоя, превышающим 600 В. В приведенной схеме для передачи импульсного сигнала используются высоковольтный *n*-DMOS-

транзистор и два высоковольтных диода (HV diodes), блокирующих обратное напряжение в канале сдвига нижнего уровня.

Передача сигнала осуществляется в импульсном режиме, что позволяет минимизировать уравнивающие токи и мощность рассеяния. Однако в этом случае для практической реализации требуются более сложные каскады формирования и восстановления сигнала, чем в канале BOT.

К сожалению, 1200-В вариант структуры SOI до сих пор не разработан, и потому для передачи сигнала и изоляции каскадов верхнего и нижнего уровня в драйверах 12-го класса используется отработанная 600-В технология. Передача импульсов управления на каскады верхнего уровня осуществляется посредством двухкаскадной схемы сдвига уровня на базе SOI-CMOS-структуры. Балансировка напряжения на последовательно соединенных транзисторах достигается с помощью емкостного делителя напряжения, а встроенная схема активного ограничения предотвращает опасное нарастание сигнала на любом из них.

### Заключение

В статье представлены результаты разработки твердотельного SOI-драйвера с интегрированной функцией мониторинга напряжения насыщения  $V_{CE(sat)}$  и отрицательным напряжением выключения затвора. Новая интегральная микросхема предназначена для использования в составе интеллектуальных модулей малой и средней мощности с рабочим напряжением 600 и 1200 В соответственно. Для индикации состояния перегрузки по величине  $V_{CE(sat)}$  в состав модуля включены высоковольтные диоды и схема обработки сигнала по каждому из шести ключей каналов BOT- и TOP-инвертора.

Технология SOI обеспечивает блокирующую способность полупроводникового ключа в обеих полярностях, поэтому но-

вый интегральный драйвер способен формировать отрицательное напряжение выключения. Это позволяет исключить возможность возникновения сквозного тока и снизить уровень динамических потерь. Твердотельные SOI-драйверы могут быть использованы в составе интеллектуальных модулей малой и средней мощности с рабочим напряжением 600 и 1200 В соответственно.

### Литература

1. Majumdar G., Iwasaki M., Fukunaga M., Kong X. Compact IPMs in Transfer Mold Packages for Low-Power-Motor Drives // Proceedings of the ISP SD, 2005.
2. New 5-35A/1200V Transfer Mold IPM with heat dissipating insulation sheet / H. Kawafuji, T. Nakano, T. Iwagami, K. Kuriaki, M. Honsberg // Proceedings of the PCIM 2005.
3. High Performance 600V Smart Power Technology Based on Thin Layer Silicon-on-Insulator / R T. Letavic, E. Arnold et al. // Proceedings of the ISP SD, 1997.
4. 600V Power Conversion System-on-a-Chip Based on Thin Layer Silicon-on-Insulator / R.T. Letavic, M. Simpson, E. Arnold et al. // Proceedings of the ISP SD, 1999.
5. Pawel S., Rossberg M., Herzer R. 600V SOI Gate Drive HVIC for Medium Power Applications Operating up to 200°C // Proceedings ISP SD, 2005.
6. 600V CIB-Module with integrated SOI Gate Driver IC for Medium Power Applications / B. Vogler, M. Rossberg, R. Herzer et al. // Proceedings of the CIPS, 2008.
7. Rossberg M., Vogler B., Herzer R. 600V SOI Gate Driver IC with Advanced Level Shift Concept for Medium and High Power Applications // Proceedings of the EPE, 2007.
8. Vogler B., Rossberg R., Herzer R., Reusser L. Integration of 1200V SOI gate driver ICs into a medium power IGBT module package // Proceedings of the ISP SD, 2010.