

Система плавного старта

для DC/DC-конвертеров

В статье рассмотрена усовершенствованная система плавного старта для запуска DC/DC-конвертеров, используемых в распределенных системах электропитания. Показано, что разработанная схема позволяет исключить всплески выходного напряжения не только при включении ИМС, но и при их автоматическом рестарте, вызванном срабатыванием защит, кратковременным сбоем питания и при управлении работой ИМС по управляющему входу.

**Владимир Котов
Денис Рудаковский**

micronica.office@gmail.com

Введение

Наблюдаемое в последнее время интенсивное развитие распределенных систем электропитания стало возможным благодаря разработке мощных ИМС DC/DC-конвертеров (преобразователей), обладающих высокой эффективностью и, соответственно, малой собственной потребляемой мощностью [1, 2]. Такие ИМС выполняются в малогабаритных корпусах типа SOP, ESOP, SOIC, DFN, QFN, что позволяет их устанавливать на печатных платах точно так же, как и другие электронные компоненты.

Практически во всех современных DC/DC-преобразователях присутствует функция плавного старта (Soft Start), использующая внешний или встроенный в ИМС конденсатор с целью исключить всплески выходного напряжения при запуске ИМС [1]. Также существуют системы программирования плавного старта, в которых первичный AC/DC-источник подает на DC/DC-преобразователи управляемое питающее напряжение [3]. Наличие в современных DC/DC-конвертерах таких функций, как защита от превышения выходного напряжения (OVP), термозащита (OTP), включение/выключение ИМС посредством управляющего входа с определенной частотой, предъявляет к системе плавного старта дополнительное требование: работа системы не должна приводить к появлению всплесков выходного напряжения при автоматическом рестарте ИМС после срабатывания вышеуказанных защит, кратковременного сбоя питания и в случае быстрого принудительного выключения/включения ИМС.

Целью работы, результаты которой изложены в статье, являлось проектирование системы плавного старта для DC/DC-конвертеров, корректно работающей в вышеперечисленных режимах.

Блок-схема плавного старта

На рис. 1 представлена блок-схема плавного старта в DC/DC-преобразователе, включающая следующие составные части:

- Усилитель ошибки U1 с дополнительным неинвертирующим входом, к которому подключена схема плавного старта и GND через транзистор MN1. Усилитель ошибки U1 подключен к цепи обратной связи своим инвертирующим входом, а один из его неинвертирующих входов подключен к опорному напряжению V_{ref1} . Выход усилителя ошибки U1 соединен с входом компаратора ШИМ (не показан на рис. 1), а также с внешним выводом COMP для подключения цепи компенсации. Выход усилителя ошибки U1 также соединен с GND через транзистор MN2.
- Блок плавного старта, включающий источник постоянного тока I_{ss} , соединенный с внешним конденсатором C_{ss} , которые подключены своей общей точкой к дополнительному входу усилителя ошибки. Блок плавного старта предназначен для генерирования постепенно повышающегося напряжения. Значение тока I_{ss} и емкость конденсатора C_{ss} определяют время плавного запуска.
- Цепь разряда конденсатора C_{ss} в виде транзистора MN1, которая через схему инвертора U1 включается входной схемой управления U2 и формирует ток разряда конденсатора плавного старта. Транзистор MN2, соединенный своим затвором с затвором транзистора MN1, используется для отключения выхода усилителя ошибки U1.
- Блокирующий компаратор U4, сравнивающий заданное опорное напряжение V_{ref2} ($V_{ref2} = V_b/2$), с внешним управляющим сигналом EN. Если напряжение на входе EN снижается до уровня ниже значения $V_b/2$, то на выходе компаратора U4 устанавливается высокий уровень сигнала.
- Логический элемент U5 и модифицированный инвертор U6. Затворы транзисторов MN1 и MN2 соединены с выходом инвертора U6. Вход инвертора U6 подключен к выходу логического NOR2 элемента U5. Один вход элемента U5 подключен к инвертирующему выходу \bar{Q} входной схемы управления U2, а второй вход элемента U5 подключен к выходу блокирующего компаратора U4.
- Входной блок управления U2, состоящий из внутреннего источника питания U_s , RS-триггера, ин-

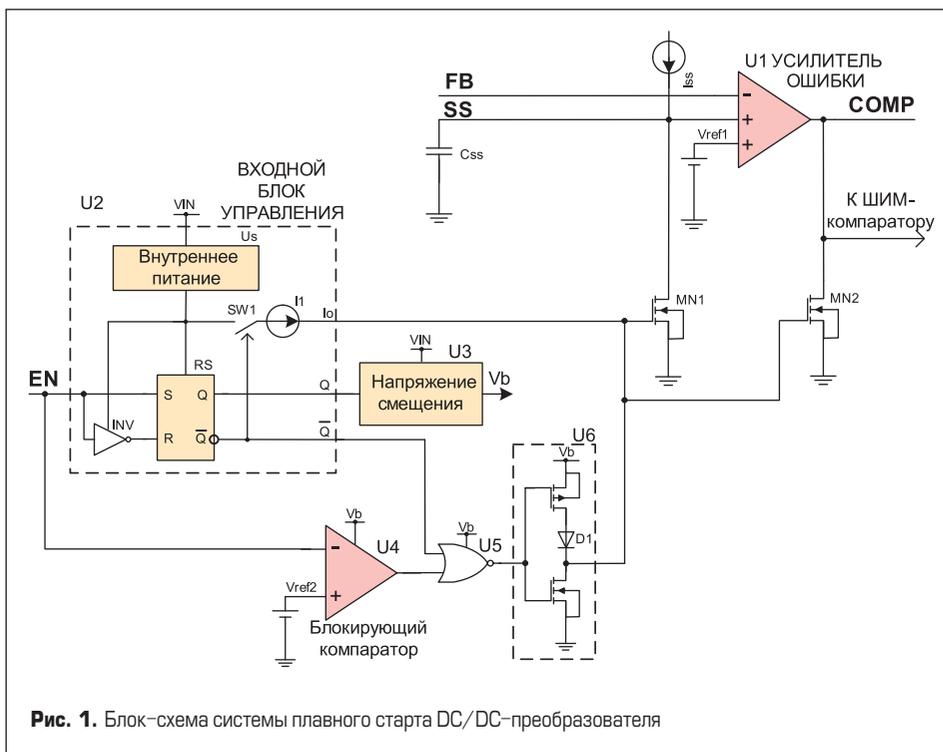


Рис. 1. Блок-схема системы плавного старта DC/DC-преобразователя

точник напряжения смещения U3 до того, как транзистор MN1 полностью разрядит конденсатор C_{ss}. На конденсаторе C_{ss} сохранится уровень напряжения, который может оказаться выше опорного напряжения V_{ref1}. В момент, когда на входе EN вновь появится высокий уровень сигнала, в схеме может появиться всплеск, который перегрузит вход питания или будет причиной появления всплеска выходного напряжения. Другими словами, схема плавного пуска не будет корректно выполнять свою функцию. Для устранения указанного недостатка в схему добавлен источник постоянного тока I1. В момент, когда источник напряжения смещения U3 выключен, высокий уровень сигнала на инверсном выходе RS-триггера замкнет ключ SW1 и подключит источник постоянного тока I1 к внутреннему источнику питания U_s. Ток I1 будет удерживать транзистор MN1 в открытом состоянии до полной разрядки конденсатора C_{ss}. Для устранения нежелательных путей протекания тока I1 схема инвертора U6 дополнена диодом D1, подключенным анодом к стоку PMOS транзистора, а катодом — к выходу инвертора.

Следует отметить, что скорость разряда емкости C_{ss} также зависит от ширины транзистора MN1. Такой способ регулировки применяется при необходимости увеличения частоты управляющего сигнала по входу EN.

Полученный результат

Разработанная система плавного старта была реализована в серии микросхем однокристалльных синхронных понижающих DC/DC-преобразователей компании «Микроника» [4]. Электрические параметры микросхем (таблица) позволяют реализовать на их основе недорогие источники питания для наиболее востребованных уровней рабочих токов и напряжений в распределенных системах электропитания.

Полученный результат иллюстрирует рис. 3, где показано отсутствие всплеска выходного напряжения в момент старта ИМС при управлении по входу EN с частотой 10 Гц, тогда как для неоптимальной системы плавного старта всплеск V_{out} составляет ~2 В при номинальном напряжении 1,2 В (рис. 2). Анализ выходного напряжения при рестарте ИМС после срабатывания OVP, OTP также показал отсутствие всплесков.

Заключение

Разработанная система плавного старта позволяет исключить перегрузку входного источника питания и устранить всплеск на-

вертора INV, источника постоянного тока I1 и ключа SW1. Входной блок управления служит для получения внешнего управляющего сигнала и управления блоком плавного старта, цепью разряда и внутренним источником смещения U3. Ток I1 подключен к затворам транзисторов MN1 и MN2, что обеспечивает дополнительное управление этими транзисторами. На вход S RS-триггера приходит управляющий сигнал EN и, в то же время, на R-вход триггера приходит инверсное значение сигнала EN через инвертор INV. Выход Q RS-триггера подключен ко входу управления источника напряжения смещения U3 DC/DC-конвертера. Инверсный выход Q-bar RS-триггера подключен к входу логического элемента U5.

- Источник внутреннего напряжения смещения U3, который преобразует входное напряжение V_{IN} в напряжение питания для внутренних блоков DC/DC-преобразователя и который включается сигналом от входной схемы управления U2, когда уровень внешнего сигнала управления выше порогового напряжения RS-триггера.

Рассмотрим более подробно работу системы плавного старта.

При включении ИМС, когда напряжение на управляющем выводе EN увеличивается и становится выше порогового напряжения RS-триггера, высокий уровень сигнала на выходе Q RS-триггера включает источник напряжения смещения U3. Низкий уровень на инверсном выходе Q-bar RS-триггера размыкает выключатель SW1 и отключает источник постоянного тока I1. Когда напряжение на управляющем выводе EN возрастает выше уровня V_{I/2}, на выходе блокирующего компаратора U4 устанавливается низкий уровень сигнала. Следует отметить, что в момент, когда напряжение на входе EN достигает значения V_{I/2}, источник напряже-

ния смещения U3 уже функционирует в нормальном режиме, поскольку он был включен при более низком значении EN. Низкий уровень на выходе компаратора U4 устанавливает на выходе элемента «Или-Не» логическую «1», и транзисторы MN1, MN2 закрываются. Ток I_{ss} заряжает внешний конденсатор C_{ss}. Напряжение на выходе усилителя ошибки U1 постепенно возрастает. В итоге напряжение на выходе DC/DC-конвертера увеличивается также постепенно.

При выключении ИМС, когда напряжение на управляющем входе EN уменьшается до значения ниже V_{I/2}, на выходе блокирующего компаратора U4 устанавливается сигнал высокого уровня. В результате этот сигнал открывает транзисторы MN1 и MN2. Начинается разряд внешнего конденсатора C_{ss} через транзистор MN1. Транзистор MN2 замыкает на землю выход усилителя ошибки U1, следовательно, низкий уровень напряжения будет и на выходе DC/DC-преобразователя. Когда напряжение на управляющем выводе EN далее снижается и становится ниже порогового напряжения RS-триггера, низкий уровень сигнала на выходе Q RS-триггера отключает источник напряжения смещения U3.

Очевидно, что функционирование описанной структуры зависит от скорости нарастания/спада и частоты внешнего управляющего сигнала EN. При чрезмерно высокой скорости спада управляющего сигнала EN RS-триггер может отключить ис-

Таблица. Основные параметры микросхем

Наименование	V _{вх} , В	V _{вых} , В	I _{вых. макс} , А	V _{fb} , мВ	I _{std} , мкА	Частота, кГц	Тип корпуса
MCA1086	4,5–18	0,925–12	2	925±25	<3	380	SOP-8L
MCA1087	4,5–23	0,925–16	2	925±25	<3	360	SOP-8L
MCA1088	4,5–23	0,925–16	3	925±25	<3	350	SOIC-8N

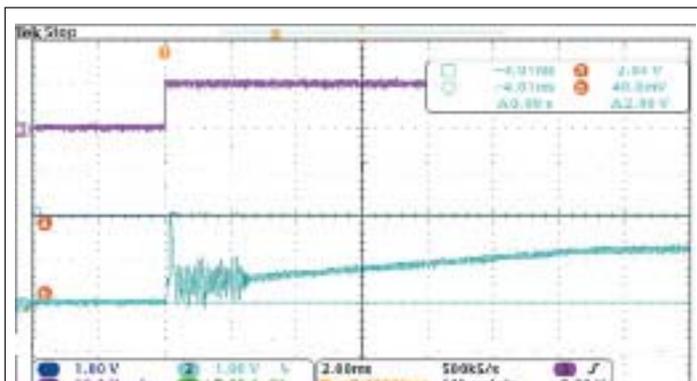


Рис. 2. Вид выходного напряжения при управлении ИМС по входу EN с частотой 10 Гц при неоптимальной системе плавного старта (канал 2 — выходное напряжение V_{out} ; канал 3 — сигнал EN; всплеск V_{out} ~ 2 В при номинальном напряжении 1,2 В)

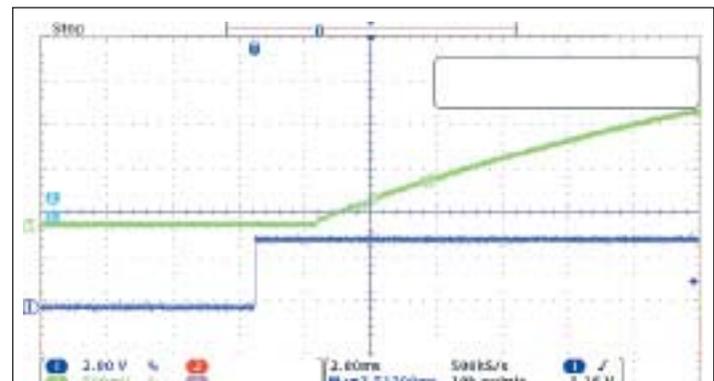


Рис. 3. Вид выходного напряжения при управлении ИМС по входу EN с частотой 10 Гц при использовании разработанной системы плавного старта (канал 3 — выходное напряжение V_{out} ; канал 1 — сигнал EN; всплеск по V_{out} отсутствует)

пряжения на выходе DC/DC-преобразователя при автоматическом рестарте ИМС после срабатывания защит OVP, OTP, кратковременного сбоя питания и в случае быстрого принудительного выключения/включения ИМС (управления по входу EN).

Кроме того, при необходимости можно существенно увеличить частоту управляющего сигнала на входе EN. Это улучшает функциональные возможности DC/DC-преобразователя и значительно расширяет область его применения.

Предложенная схема позволяет увеличить надежность DC/DC-преобразователя и, соответственно, изделия в целом.

Литература

1. Никитин А. DC/DC-преобразователи SupIRBuck поколения Gen2 в распределенных системах электропитания // Новости электроники. 2005. № 7.

2. Лукин А. В. Распределенные системы электропитания // Электронные компоненты. 1997. № 7.

3. Возможность программировать характеристики плавного пуска при цифровом управлении преобразователя питания. ООО «Компэл». <http://www.compel.ru/fordesigners/lib/tdk-lambda/>

4. Официальный представитель фирмы «Микроника» в РФ — ООО «Тандем Электроника». <http://te.vrn.ru/index.html>.